

多用户负载功率的真有效值测量

陈东阳,高 蒙,刘 敏,万 京

(石家庄铁道学院 电气工程分院,河北 石家庄 050043)

摘要: 分析了锁相真有效值测量的工作原理,需使测量系统一直跟踪电源频率的漂移,并把工频电源的周期严格 N 等分,才能消除原理性测量误差。采用锁相技术能产生与电源频率锁定的倍频脉冲。用 CMOS 专用数字锁相芯片 CD4046(内部集成有鉴相器和压控振荡器)和分频芯片 CD4040 构成了实际锁相电路,外加由电阻和电容形成的简单的片外积分环路滤波器。给出了硬件电路,并分析了其基本工作原理。描述了相位锁定过程,并讨论了相位锁定后的电路工作情况。实际运行证明所设计的硬件电路测量精度合乎要求。

关键词: 真有效值测量; 锁相; 负载功率

中图分类号: TM 933.3

文献标识码: B

文章编号: 1006-6047(2006)10-0092-03

1 测量原理

供电管理的核心是用户负荷的精确测量,传统的用户负荷测量均采用电磁式电表,而采用数字化测量其有效值的测量精度会受到电源频率漂移、负载类型变化及用电波形影响。笔者利用锁相倍频技术对采样负荷参数进行同步离散化,可以实现严格意义上的数字化真有效值测量,消除上述影响^[1]。

微机对时间的计量一般要靠本身的晶振时钟,其计时精度可达 10^{-6} 量级。而实际工频交流电源的周期值随整个供电网络负载变化存在着严重漂移,其精度最高只能达到 0.5%,若按常规采用 CPU 晶振作为采样电路定时时钟,则微机采样时间不可能与工频交流电源的周期存在同步关系,微机用内部定时器计时模拟出的电源周期并不是实际的电源周期,从而形成原理性测量误差,而且无法用一般方法消除。

下面详细叙述锁相真有效值测量的工作原理。

考察如下电功率计算的原始表达式^[2]:

$$P = \frac{1}{2\pi} \int_0^{2\pi} u i d\omega t$$

式中 P 为被测功率; u 、 i 分别为用电负荷的端电压和流经用电负荷的电流。

该表达式为理论计算的原始依据,无误差项表达式。由于积分表达为连续函数,在利用微机测量时必须将其离散化,设其在 1 个周期内的采样点数为 N ,则其表达式成为

$$P_z = C \frac{T}{N} \sum_{k=1}^N u_k i_k$$

式中 C 为一常数; T 为供电电源周期。

该离散化表达式可以用微机直接实现。

为有利于提高多用户循环测量的精度,本例选用

美国 AD 公司 10 位精度 AD 芯片 AD1674^① 完成离散采样,其 1 次 AD 转换时间为 $3 \sim 10 \mu s$ 。

设电源频率为 50 Hz,在现代电网中,由于用电负荷中存在着大量的冲击性整流负载(如个人电脑、充电器等)和可控整流负载,故其各区域性负载的电流波形几乎不可能是正弦的,由于用电负荷波形有可能与正弦波形相去甚远,尤其对于冲击性整流负载高次谐波包含较大能量的情况,在充分考虑到计算积累误差的情况下,电源每个周期的采样点数 N 应在微机运行速度允许的情况下尽可能取大。若取 $N > 100$,则根据奈奎斯特法则,可以采样到第 50 次谐波,该采样速率精度已足够。

为实现多用户循环测量及完成微机必须完成的其他工作,测量应在尽可能短的时间内完成,微机利用采样运算得到平均功率的最短时间不可能少于 1 个电源周期。由于 AD1674 的采样速率相对电源频率而言速度很高,故电压、电流采样的同时性误差可以忽略不计,选采样点数 $N=128$,则微机对 3 相 45 路负荷的检测可以在很短的时间内完成。

若按常规采用 CPU 晶振作为采样电路定时时钟,则微机采样时间不可能与工频交流电源存在同步关系,为消除对电源周期计数形成的原理性测量误差,必须设法将工频电源的周期严格等分为 $N=128$ 份,不管工频电源本身的频率如何漂移,如果测量系统能一直跟踪电源频率的漂移,并把工频电源的周期严格等分为 N 份,并严格按照该等分规律采样,则该测量方法理论上不再存在原理性测量误差^[3-6]。

2 硬件电路

2.1 检测电路

为实现该测量方法,采用锁相技术产生与电源频

率锁定的倍频脉冲,将电源的 1 个周期等分为 N 份,这种方法产生的采样脉冲相位可以与电源严格锁定,理论上不再存在由于时间测量方案不合理而引入的误差。

锁相倍频电路框图如图 1 所示。锁相倍频的基本理论可参阅其他文献^[7]。

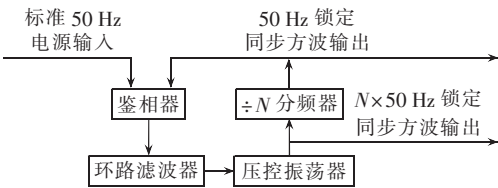


图 1 锁相倍频电路方框图
Fig.1 Block diagram of phase-lock multiple frequency circuit

在实际应用中用 CMOS 专用数字锁相芯片 CD4046^[8]和 12 级 2 分频芯片 CD4040 构成实际的锁相电路,如图 2 所示。CD4046 内部仅集成有鉴相器和压控振荡器,没有环路滤波器和分频器。采用 R_{34} 和 C_{34} 形成简单的片外积分环路滤波器,并用 CD4040 形成 $N=2^7=128$ 分频器,则工作在锁定状态的电路可将电源的 1 个周期严格等分为 128 份。

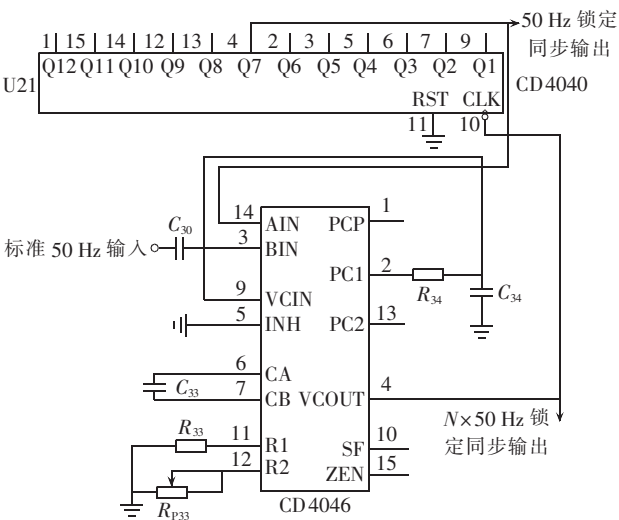


图 2 锁相倍频电路原理图
Fig.2 Principle diagram of phase-lock multiple frequency circuit

2.2 电路基本工作原理

首先,分析电路中各输入、输出信号的关系。由 50 Hz 工频电源波形经低通滤波和简单处理形成 50 Hz 原始标准输入信号,经耦合电容 C_{30} 引入锁相电路 CD4046(U22)的 BIN(3)端,CD4046 的 BIN 端和 AIN 端分别为内部鉴相器的 2 个输入端。若鉴相后的信号由 PC1 端输出,则内部鉴相器为异或门鉴相形式,该鉴相形式称为有相位差的鉴相形式;若两输入信号的相位差在相位锁定时调整为 90° ,则这时电路对应的最大相位捕获范围为 180° 。CD4046 的 AIN 端输入为分频芯片 CD4040(U21)经 $2^7=128$ 分

频后形成的 50 Hz 被锁定方波,则显然分频前的方波频率应为 $2^7 \times 50 = 128 \times 50 = 6400$ (Hz),分频前的信号正是从 CD4046 内部压控振荡器的输出端 VCOUT 以锁定方波的形式送出的,若将该列方波列作为采样中断脉冲送入单片机中断输入端 XINT2,则该频率也正是 AD 循环采样频率。

锁相倍频电路相位锁定后的各点输出波形如图 3 所示。

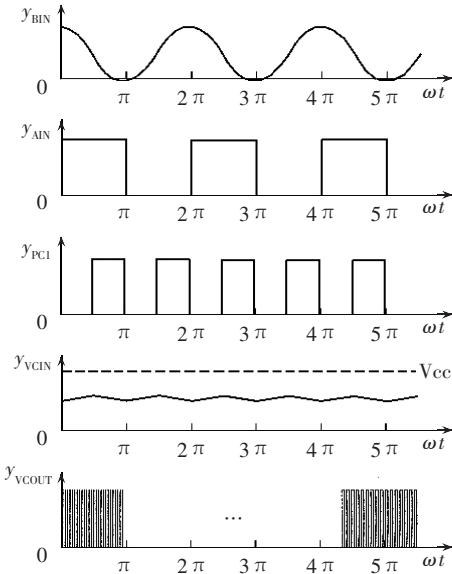


图 3 锁相倍频电路各点波形
Fig.3 Waveforms at different points of phase-lock multiple frequency circuit

下面描述相位锁定的过程。
首先,调整压控振荡器中的 C_{33} 和 R_{P33} ,使其在 VCIN 输入电压等于 V_{cc} 电压的 $1/2$ 时,输出频率约为 6400 Hz。整个锁相电路闭环后可以自动进入锁定状态。

这时异或门鉴相器的输入信号有 2 个,一个是从 50 Hz 工频电源取样的标准同步信号,另一个是压控振荡器输出经 CD4040 分频后的 50 Hz 方波,由于 CD4046 内部含有标准同步信号的放大和整形电路,其内部鉴相器输入端实际上是 2 列 50 Hz 方波列,设该 2 个方波列占空比均为 50%,且相位差为 90° ,则经异或门鉴相后成为占空比 50% 的 100 Hz 方波列,该方波列由 CD4046 的内部鉴相器 PC1 端输出,经简单积分滤波,成为平均值为 $V_{cc}/2$ 的直流电压,该直流电压直接输入压控振荡器的输入端 VCIN,使压控振荡器维持 6400 Hz 的振荡频率输出。

2.3 相位锁定后的电路工作情况

先设电源频率不变,若压控振荡器输出频率由于某种原因逐渐偏高,则经 CD4040 分频后的 50 Hz 方波频率的相位开始逐渐超前,从而造成异或门输出波形占空比逐渐变小,经积分后的平均直流分量开始跌落,该电压直接加在压控振荡器的输入端,从而强迫压控振荡器的输出频率维持不变。

若电源频率逐渐偏高,会造成内部电源方波的相位逐渐滞后于 CD 4040 的 Q7 端 50 Hz 锁定方波,这就造成异或门鉴相器输出的 100 Hz 方波的占空比逐渐加大,经积分后的平均直流分量开始上升,从而使压控振荡器输出频率也跟着上升,最后在一个新的频率稳定下来,该频率仍然为电源频率的 128 倍。反过来也一样。

这样,电路一旦进入锁定状态,采样脉冲就可以保持与工频电源严格同步,不管工频电源的频率如何漂移,只要锁相电路一直工作于相位锁定状态,采样频率就总是工频电源频率的 $2^7=128$ 倍,这样就从原理上消除了由于工频电源的频率漂移所带来的测量误差。

用 2 级多路电子开关 CD 4051 将 AD 1674 扩展为 16×4 路,其中的 4 路作为电压取样,其余的 60 路作为电流取样。如果控制柜为三相电源供电,则仅使用其中的 16×3 路,其中的 3 路作为电压取样,则微机每循环一次可以同时完成对 $15 \times 3=45$ 路负荷的测量。

3 结语

系统的实际运行结果证明,本文设计的硬件电路消除了 CPU 晶振计时造成的原理性测量误差,可以胜任高精度的功率测量,其计量准确度完全能够达到国家规定的计量标准。

参考文献:

- [1] 于德会,孙文林,王海军. 基于 AD 736 的交流伏安特性测试[J]. 仪表技术,2006(2):53-54.
YU De-hui,SUN Wen-lin,WANG Hai-jun. AC volt-ampere characteristic testing based on AD 736[J]. Instrumentation Technology,2006(2):53-54.
- [2] 陶时澍. 电气测量技术[M]. 北京:中国计量出版社,1995.

- [3] 胡登杰,刘翠香,李强,等. 基于 DSP 的电力系统谐波分析[J]. 电工技术,2005(1):36-38.
HU Deng-jie,LIU Cui-xiang,LI Qiang,et al. Harmonic analysis based on DSP in electric power system[J]. Electric Technology,2005(1):36-38.
- [4] 罗玛,杨成林,徐德鸿. 基于 DSP 的逆变换器的数字锁相技术[J]. 电力电子技术,2005,39(5):107-108.
LUO Ma,YANG Cheng-lin,XU De-hong. DSP based digital phase locked loop for inverter[J]. Power Electronics,2005,39(5):107-108.
- [5] 陈晓竹,陈乐. 正弦信号中任意相位处的幅值测量[J]. 自动化仪表,2002(8):64-65.
CHEN Xiao-zhu,CHEN Le. The measurement of the amplitude at any point of sine signal[J]. Process Automation Instrumentation,2002(8):64-65.
- [6] 王德昌,郭育华,李文生. 基于 DSP 的基波无功电流检测[J]. 机车电传动,2004(3):52-55.
WANG De-chang,GUO Yu-hua,LI Wen-sheng. Detection of fundamental reactive current based on DSP[J]. Electric Drive for Locomotives,2004(3):52-55.
- [7] 袁宇正. 锁相与频率合成技术[M]. 武汉:武汉测绘科技大学出版社,1992.
- [8] 集成电路大全编写委员会. CMOS 集成电路[M]. 北京:国防工业出版社,1988.
- [9] 杨志远,谢秋华. 一种电压有效值的低温漂、高精度测量方案[J]. 电测与仪表,2004,41(9):11-13.
YANG Zhi-yuan,XIE Qiu-hua. A low excursion with temperature and high precision measurement method for RMS of voltage[J]. Electrical Measurement & Instrumentation,2004,41(9):11-13.
- [10] 朱铭铭,赵勇,甘泉. DSP 应用系统设计[M]. 北京:电子工业出版社,2002.

(责任编辑:李育燕)

作者简介:

陈东阳(1958-),男,广西北流人,副教授,研究方向为检测与控制;

高蒙(1950-),男,山东昌邑人,院长,教授,研究方向为检测与控制(E-mail:gaomeng5829@hotmail.com)。

True root mean square measurement of multi-user load power

CHEN Dong-yang,GAO Meng,LIU Min,WAN Jing

(Department of Electrical Engineering,Shijiazhuang Railway Institute,
Shijiazhuang 050043,China)

Abstract: The principle of phase-lock true RMS(Root Mean Square) measuring is analyzed. In order to eliminate the theoretical measuring error,power frequency shift is tracked by measuring system for strict dividing power period into N equal sections. The phase-lock technique is used to generate multiple frequency pulse,which follows the power frequency. A phase-lock circuit composed of special phase-lock CMOS chip CD 4046 and frequency dividing chip CD 4040 is designed,with a simple external integral loop filter composed of a resistance and a capacitance. The phase-detector and the voltage-controlled oscillator are integrated in the chip CD 4046. The hardware circuit is presented,and the basic working principle is analyzed. The phase-lock process is described,and the post-phase-lock working process is discussed. Practical operations demonstrate that the designed circuit meets the requirement of measuring precision.

Key words: true RMS measurement; phase-lock; load power