

行波故障测距系统中高速数据采集卡的开发与应用

夏俊峰,樊亚东,李 静,方力谦,谢 鹏

(武汉大学 电气工程学院,湖北 武汉 430072)

摘要: 在行波故障测距中,传统的数据采集系统无法适应采集高速变化的暂态电压、电流行波的要求,难以实现故障的精确定位。介绍了一种基于 PCI 总线的高速数据采集卡的软硬件。硬件以现场可编程门阵列 FPGA(Field Programmable Gate Array)为核心,由高速 A/D 转换、高速 SDRAM 缓存、PCI 接口等一系列外围电路组成,采用 Pass-Thru 工作方式实现 PCI 总线接口和用户外部互联设备或存储设备间高性能突发式数据传输。软件分为数据采集、启动、选相定位、远程通信等几部分。该系统采样率达 60 MHz,能够很好地进行输电线路暂态行波的采集,在故障定位及微机保护中都可广泛应用。

关键词: 高速数据采集; FPGA; PCI 总线

中图分类号: TP 274.2

文献标识码: B

文章编号: 1006-6047(2006)01-0048-03

现代行波故障定位方法,一般是对故障点产生故障时的电流或电压行波进行高速采样,确定故障行波到达测量点的准确时刻,算出行波经过的距离,从而实现故障点的精确定位^[1-2]。

本数据采集系统采用现场可编程门阵列 FPGA(Field Programmable Gate Array)作为处理器,配合高速 A/D 转换器、高速存储技术以及 PCI 总线技术,达到了 60 MHz 的采样速率,完全可以实现对高速暂态信号的实时采集、传输与储存,可广泛应用于电力系统及其他需要实现高速数据采集的场合。

1 硬件部分

对于高速数据采集技术而言,最为重要的指标是系统的分辨率、精度和通过速率。特别是通过速率,它是区别高速数据采集与一般数据采集的最为关键的一个技术指标。在时间域上,通过速率就是指系统每采集 1 个有效信号所占用的时间,在硬件具体实现过程中主要考虑 2 个方面: A/D 转换时间;转换后数据的存储时间。

由于要实现高达 60 MHz 的采样速率,传统的单片机无法满足要求。本系统采用了大规模现场可编程逻辑器件 FPGA 作为处理器,选用 ALTERA 公司的 FLEX 10K 系列芯片。该芯片的反应时间能够达到纳秒级,集成度高达 100 000 典型门数,集成了嵌入式存储器芯片。通过采用快速通道互联,实现了快速、可测的延时,同时提供供快速计算的专用进位链和逻辑函数的专用级联链。

本系统的硬件电路图如图 1 所示,以 FPGA 为核

心,由高速 A/D 转换、高速 SDRAM 缓存、PCI 接口等一系列外围电路组成^[3]。

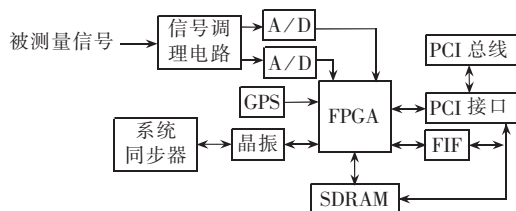


图 1 数据采集原理图

Fig.1 The principle diagram of data acquisition

1.1 高速 A/D 转换单元

A/D 转换器采用美国 AD 公司生产的 14 bit 高速高精度 A/D 转换器 AD 9244,它具有 750 MHz 的输入带宽,最高允许抽样速率达 65 MHz。其最大的特点就是体积小、功耗低和精度高。AD 9244 由 +5 V 模拟电压供电,也可以在 +5 V 的数字电压下正常工作。AD 9244 提供有片内参考电压,并集成了高性能的抽样和保持放大器。AD 9244 内部使用多级差分电路结构,并带有自动纠错的逻辑电路,可以在 65 MHz 的输入数据速率下保证 14 bit 的精度。此外,该器件还具有很宽的工作温度范围,可以在 -40 ~ 85 °C 温度范围内正常工作。

AD 9244 的采样时钟信号既可以由 FPGA 输出,也可以由外部触发方式给出。它的模拟电压可以直接由 PCI 接口的 +5 V 电源直接供给,其数字电源可由 PCI 接口的 12 V 电源通过变换得到。片内提供有 1~2 V 的参考电压,并可通过变换接口的电阻值设定。片内集成有高性能的抽样和保持放大器,输入信号可以采用单端输入,也可以采用差分输入。这一点特别适合对采集的行波信号进行波形比较,以求得

正确的行波波头到达时刻。

为了满足高速数据采样的需要,要求 AD 9244 在时钟的上升沿与下降沿都有所动作。在时钟的上升沿时,转换器对模拟输入量进行采样,在时钟为低电平(即下降沿与上升沿之间)时 SHA 处于采样模式,当时钟为高电平(即上升沿与下降沿之间)的阶段时,SHA 处于保持模式。由于其内部采用了流水线结构,使原本需要 3 个时钟周期的转换时间缩短为 1 个时钟周期,转换速率提高了,适合高速采样。但每个上升沿得到的数据要经过 3 个时钟周期才能输出转换结果,因此 A/D 必须转换 3 个时钟周期才开始存储,或者舍弃前 3 个点。

1.2 高速数据存储单元

高速数据采集系统中常用存储器作数据缓冲存储器(简称数据缓存器),其原因是 CPU 或常规总线难以及时处理由高速 ADC 直接输出的数据流。基于 PC 机的数据采集系统此问题尤为严重^[4]。采用 PCI 总线技术的 DMA 块传送速度与常规总线相比较而言,已经达到 32 bit / 33 MHz,但与高达 60 MHz 的采样速率相比较,则依然显得不足。因此,数据在传输到 PC 机之前必须先存到缓冲器中。

传统的 SRAM 尽管具有读写速度快、控制简单、所需辅助逻辑器件少等优点,但是由于其缓存容量较小,难以适应高速数据采集的要求。SDRAM 是新一代高速、高容量动态存储器,与 SRAM 相比,不仅容量大得多,而且价格便宜。它的容量通常是 SRAM 的几倍到几十倍。与 DDR SDRAM 相比较,它的控制又相对简单。而且由于系统中采用的 FPGA,给 SDRAM 提供了大容量的可编程逻辑寄存器,用户可以将地址产生、行与列地址选择、读写时序、刷新与仲裁逻辑全部在 1 片 FPGA 中实现。若有必要,还可以在同一片 FPGA 中加入 SDRAM 的查错和纠错逻辑。这样在 1 片 FPGA 就具有 SDRAM 所有必需的控制功能,其集成度不亚于用户全定制电路,而其开发费用和开发周期却明显优于全定制电路。由于 FPGA 是 CMOS 工艺,其功耗非常小,同时,FPGA 可在用户环境下重复编程,在许多情况下,只需改变 FPGA 的内部逻辑,即能适合不同的环境。可见,SDRAM 是大容量缓冲存储器工程的良好选择。

本系统采用 128 M 的 SDRAM 数据缓存器,在高速采样时能够实现数据缓存任务。同时提供二级缓存 FIFO 方式。当系统的采集速度小于 PCI 总线的传输速度时,系统通过 FIFO 模块实现数据实时传输,存入 PC 机中^[5]。采用 CYPRESS 公司的 CY 7C44×1 高速、双端口 FIFO。器件的功耗很低,读写不受时钟控制,只要不是对同一个寄存器操作,就可以同时实现读写操作。二级缓存的设计,使本系统可以发挥最大数据传输功能,同时也可以使功耗处于一个相对较低的水平,以适应高速数据采集的需要。

1.3 PCI 总线单元

PCI 总线是先进的高性能局部总线,已逐步取代 ISA 总线成为主流。它可以同时支持多组外围设备,而不受制于中央处理器,为中央处理器高速与外围设备交换提供了一座桥梁^[6]。它的时钟频率与 CPU 时钟频率无关,某种程度上解决了 CPU 高性能处理器与低效的系统结构之间的瓶颈问题。同时具有极高的兼容性与极小的存取延时,支持线性触发的数据传输模式,可以确保总线始终满载数据,以减少无谓的地址操作。

PCI 总线传输周期由 1 个地址阶段加上 1 个或多个数据阶段构成。基本的 PCI 传输是由 FRAME, IRDY 和 TRDY 3 个信号控制。在地址阶段,启动设备指定目标设备(在 PCI 的 A/D 总线驱动启动地址),同时发出 FRAME 信号表明有效的地址和命令已在总线上。由于地址阶段仅存 1 拍,所以每个 PCI 从设备需锁存总线上的地址和命令,以便随后译码之用。在数据阶段,启动设备用 FRAME 信号表示突发传输的持续过程。当启动设备准备完成最后 1 个数据阶段时,需失效 FRAME 且发出 IRDY。最后,1 个数据传输完后,启动设备将 PCI 总线还原至闲置状态(此时,FRAME 和 IRDY 均无效)。

本系统采用 AMCC 公司的 S 5933 作为 PCI 接口芯片,符合 PCI 总线规范 2.1 标准,具有功能强、容易扩展、支持多级别接口的特点。该芯片在一般应用的情况下,可以作为简单总线设备,满足适中的数据传输任务,在高级应用环境下,可作为总线主设备,访问其他 PCI 设备。S 5933 提供了多个物理总线接口和 PCI 总线及用户总线之间的数据传输方式,为数据传输提供了非常灵活的硬件环境。对于高速数据采集而言,最适合的是直通(Pass-Thru)路径传输方式。

1.4 Pass-Thru 传输方式

Pass-Thru 工作方式可以实现 PCI 总线接口和用户外部互联设备或存储设备间高性能突发式数据传输^[7]。在这种模式下,S 5933 提供配置寄存器。Pass-Thru 逻辑由 2 个数据和 2 个地址寄存器组成,用于定义 PCI 总线传输所需要的信息。Pass-Thru 数据传输工作模式在用户接口内存直接访问和外围互联设备寄存器访问方面的优势很明显,但它需要 1 个外部存储器定义和配置 Pass-Thru 区域。S 5933 提供 4 个用户可配置的 Pass-Thru 区域,每个区域与 PCI 配置基地址寄存器相对应,每个区域代表 1 个地址空间(块的大小可由用户定义),可以映射到内存或 I/O 空间。Pass-Thru 实际上就是通过对 Pass-Thru 区域定义,将 Add-On 上的资源映射到系统空间,PCI 总线设备便可以通过 Pass-Thru 区域访问 Add-On 上的资源。在实模式下,内存可以映射到 1 M 地址空间以下,对于 Add-On 接口,映射区域的总线宽度可以是 8 bit,16 bit 或 32 bit,以便与 Add-On

内存或外部互联设备相兼容。但是,这种特点只有在 S 5933 作为 PCI 从属设备时才能利用,Pass-Thru 工作方式支持突发式数据传输,数据传输率只受到 PCI 主设备和 Add-On 逻辑速度的限制。

2 软件部分

现代行波故障测距装置,一般都采用双端定位法^[1]。双端定位法需要实现对端通信和 GPS 授时,所以除了数据采集、启动、选相定位等部分外,还应加上远程通信部分才能符合系统的要求。数据采集部分的基本功能是使双端信号同步,进行高速数据采集并存储数据,同时将数据传输到 PC 机上,保存在硬盘中。启动部分的基本功能是通过预先给定的启动算法(如零序电流启动^[8]等),在故障发生时准确启动,使得数据采集系统能够由相对低速状态转入高速数据采集状态。启动部分要求灵敏度高、不误动、不拒动。选相定位部分的基本功能是利用小波定位算法^[9]对采集的故障电压、电流数据进行处理,消除各种干扰,判断故障相和故障点。通信软件的主要功能在于通过通信线路实现输电线路两端测量点的通信,并将数据上传到调度中心,以利于整个电网的调控。

系统软件工作的流程框图如图 2 所示。

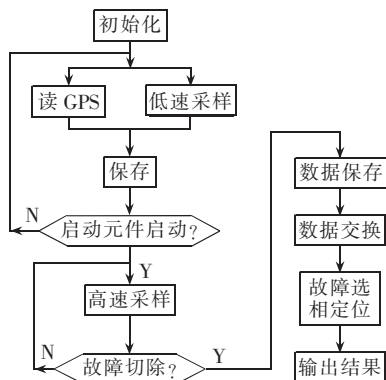


图 2 软件流程框图

Fig.2 The flowchart of software

GPS 时钟安装在输电线路两侧的故障定位装置中,以确保数据采集时间的同步。系统运行时先进行初始化和 GPS 校时。当输电线路正常运行时,两侧的数据采集系统以一个相对较低的速度采集两端的电流、电压数据。一旦输电线路发生异常,在经过启动部分确定后,系统转入高速数据采集,并按要求保留故障前后的电压、电流数据。当故障被切除后,输电线路两侧的装置通信,交换两侧的电流、电压数据,然后再计算出故障相和故障点的位置。

3 结语

本高速数据采集系统具有极高的采样率,符合 PCI 总线标准,具有大容量的缓冲存储器,使用方便

灵活。可在输电线路故障时准确捕捉到暂态行波的波头,实现精确的故障定位,也可以应用于电力系统监测、继电保护及其他需要用到高速数据采集的场合。

参考文献:

- [1] 沈兰荪. 高速数据采集系统原理与应用[M]. 北京:人民邮电出版社,1994.
- [2] LOUREIRO C F M,CORREIA C M B A. Innovative high-speed data acquisition architecture[C]//Nuclear Science Symposium Conference Record.[S.I.]:IEEE,2000:194-196.
- [3] HAUCK S. The role of FPGA's in reprogrammable system[J]. *Proc. IEEE*,1991,86(4):615-638.
- [4] 唐锡宽,刘清瑞,杨巍,等. 高速数据采集系统和分析系统研究[J]. *航空动力学报*,1994,9(2),107-112.
TANG Xi-kuan,LIU Qing-rui,YANG Wei,et al. High-speed data acquisition system and analysis system research[J]. *Journal of Aerospace Power*,1994,9(2):107-112.
- [5] 范华,谭玉山. 两通道高速数据采集系统[J]. *电子测量与仪器学报*,1996,10(3):51-55.
FAN Hua,TAN Yu-shan. A high-speed two-channel data acquisition system[J]. *Journal of Electronic Measurement and Instrument*,1996,10(3):51-55.
- [6] 李贵山,戚德虎,陈金鹏. PCI 局部总线开发指南[M]. 西安:西安电子科技大学出版社,1997.
- [7] 张旭东,傅强,何松华,等. 基于 PCI 接口多通道高速数据采集系统[J]. *数据采集与处理*,2000,15(2):240-264.
ZHANG Xu-dong,FU Qiang,HE Song-hua,et al. PCI based high speed multi-channel data acquisition system[J]. *Journal of Data Acquisition & Processing*,2000,15(2):240-264.
- [8] 李开成,王井冈,雷海军,等. 用于暂态电流测量的高速数据采集系统设计[J]. *华中科技大学学报*,2000,28(12):107-112.
LI Kai-cheng,WANG Jing-gang,LEI Hai-jun,et al. High-speed data acquisition system design of single-chip microcomputer for transient current measurement[J]. *J. Huazhong Univ. of Sci. & Tech.*,2000,28(12):107-112.
- [9] 胡广书. 数字信号处理[M]. 北京:清华大学出版社,1997.

(责任编辑:李育燕)

作者简介:

夏俊峰(1979-),男,湖北咸宁人,硕士研究生,研究方向为电力系统测试计量技术及仪器(E-mail:jstormx@yeah.net);

樊亚东(1967-),女,湖北谷城人,副教授,研究方向为测试计量技术及仪器;

李静(1979-),女,湖北汉川人,硕士研究生,研究方向为电力系统监测与控制;

方力谦(1982-),男,江西南昌人,硕士研究生,研究方向为电力系统监测与控制;

谢鹏(1980-),男,湖北咸宁人,硕士研究生,研究方向为电力系统监测与控制。

Development of high-speed data acquisition system for traveling-wave fault locating system

XIA Jun-feng, FAN Ya-dong, LI Jing, FANG Li-qian, XIE Peng

(College of Electrical Engineering, Wuhan University, Wuhan 430072, China)

Abstract: In traveling-wave fault locating, the traditional data acquisition system can not record the fast-changed traveling waves of voltage and current for accurate fault locating. A novel high-speed data acquisition system based on PCI bus is designed. With FPGA(Field Programmable Gate Array) as its core, the hardware consists of high-speed A/D converter, high-speed SDRAM buffering storage, PCI interface and so on. The sudden data transmission between PCI bus interface and external interconnected devices or storage devices is processed in Pass-Thru pattern. The software includes data acquisition, initiation, phase selection and fault locating, remote communication. Its sample speed can reach 60 MHz and meets the need of transient traveling wave acquisition. The system can be used in fault locating and microprocessor-based relay protection.

Key words: high-speed data acquisition; FPGA; PCI bus