

小电流接地选线装置可编程采样系统设计

石吉银,李欣然,李志军,肖 锋

(湖南大学 电气与信息工程学院,湖南 长沙 410082)

摘要: 在分析了小电流接地选线装置采样系统特点的基础上,介绍了以复杂可编程逻辑器件(CPLD)为核心的可编程采样系统的结构及其设计方法。给出了可编程采样系统的整体设计方案,利用CPLD强大的硬件可编程能力实现系统采样频率和采样通道数的可编程设置,介绍了其原理和特点。介绍了“异或”状态机,分析了其工作时序,利用其状态的改变实现采样频率的可调;设置模值可变的计数器来实现采样通道数的设置;用状态机控制 AD 的工作时序,实现 AD 与 CPU 工作的分离;用 CPLD 控制采样通道的转换,读写转换数据。结合分析 AD 采样时序的控制,设计出了采样频率由输入方波频率决定,采样通道数由 CPLD 寄存器设定的采样系统。其仿真结果表明,该方案可行,有较好的稳定性和通用性。

关键词: 小电流接地; 选线装置; 可编程采样; 同时采样; CPLD; “异或”状态机

中图分类号: TM 711

文献标识码: B

文章编号: 1006-6047(2007)04-0103-04

0 引言

小电流接地系统的单相接地故障率很高,占配电网故障的 80 % 以上^[1]。国内已有众多型号的小电流接地选线装置^[2-7],其实际应用中都普遍存在正确动作率低的问题。多年来,小电流接地选线方法^[8-12]受到学者的广泛重视,而针对装置开发的文献则少有报导。文献[2]所设计的采样系统由 DSP 直接控制采样,实现较为方便。但是,AD 采样易受 CPU 其他中断的影响,装置可靠性不高。文献[3]中的采样系统由多片多通道 AD 组成。这种方式在馈线多的场合不太适应,要求数目较多的 AD 芯片。文献[4]所介绍的装置中,采集数据由 ISA 总线传送到

工控机,这样能以很高的速率传送数据,但是实现起来不是很方便。小电流接地选线装置有采样通道多、采样频率高、需要同时采样等特点。该采样系统要充分考虑 2 个因素:一是系统的母线出线一般较多,且因地制宜;二是故障暂态过程要求较高的采样率来准确获得高频分量;而在故障稳态阶段,若要求采用 5 次谐波选线,根据文献[13],以 5 次谐波的 3 倍频率(即 0.75 kHz)采样信号就可以达到要求。现有装置的采样通道数是固定的,故装置在不同的使用地点有数目不等的空余通道;采样频率一般也是固定的,以获得暂态高频分量的采样率(远大于 0.75 kHz)采样整个故障过程。这种采样系统在一定程度上增加了选线的时间,浪费了 CPU 资源,对选线结果造成一定影响。

根据小电流接地选线装置采样系统的特点,提

收稿日期:2006-07-26;修回日期:2006-10-29

出一种可编程采样系统的设计方案。该方案由复杂可编程逻辑器件(CPLD)实现采样频率的可调,采样通道数也可由 CPLD 设定。实例仿真结果证明了该方案的可行性。

1 系统整体设计方案与特点

该系统要对多路输入信号进行同步采样。系统的整体设计方案如图 1 所示。其采样工作过程如下:CPU 跟踪电网频率的变化而向 CPLD 输入的方波决定了采样的频率;CPU 可以向 CPLD 写通道数寄存器,设定采样通道数。在一次采样中,CPLD 控制采样保持器 S/H 的逻辑端,同时采样保持各路信号。然后由 CPLD 控制采样通道的转换,同时控制 AD 的采样,把各路信号的转换结果送到 FIFO 保存,供 CPU 读取。采样完成后,CPLD 发出中断请求,把 FIFO 数据读入 CPU。

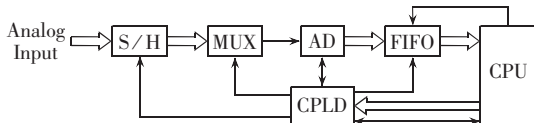


图 1 采样系统结构框图

Fig.1 Block diagram of sampling system

依上述方案设计的采样系统具有如下特点:

- CPU 每向 CPLD 输入一个脉冲,就启动一次采样,这样,可以通过改变输入到 CPLD 的脉冲频率来改变采样率,程序实现简单;
- 系统可以根据实际需要,确定硬件电路板上多路模拟选择开关芯片的片数,同时改变 CPLD 内通道数寄存器的数值,使得每次做采样的通道数与实际一致;
- FIFO 用来存储采样结果,可以减少采样中断 CPU 的次数,使系统更稳定,而且可以使 CPU 获得完整的数据;
- AD 的工作与 CPU 完全分离,使采样过程不受 CPU 其他中断的影响,有利于提高采样率,增强数据可靠性,提高装置可靠性。

2 可编程采样设计

2.1 设计思路

CPLD 可编程采样设计是可编程采样系统设计的核心。基于图 1 整体结构方案的可编程采样控制原则思路如图 2 所示。图中包括采样控制、采样机、锁存器和模值可变计数器 4 个模块的设计。

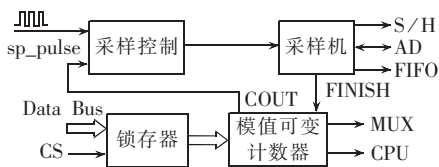


图 2 可编程采样系统构成图

Fig.2 Block diagram of programmable sampling system

采样控制模块控制采样的启停,以实现采样频率的可调。CPU 每次向 CPLD 发出采样脉冲 sp_pulse ,采样控制模块就驱动采样机开始采样。采样机按照设定的时序做如下工作:给采样保持器发保持命令、控制 AD 的时序、把结果存入 FIFO。采样机每次采样完成,就使模值可变计数器加 1,从而改变采样通道。CPU 通过数据总线写锁存器,设定采样通道数目。当所有的通道都采样完成,模值可变计数器的当前计数值与锁存器数值相等,计数器溢出,采样控制模块关闭采样机,结束本次采样。同时,计数器中断 CPU,把存储在 FIFO 中的数据读走。

2.2 采样控制模块设计

2.2.1 “异或”状态机

采样控制模块跟随 CPU 发出的脉冲信号进行采样。如图 2 所示, sp_pulse 和 $cout$ 为此模块的输入信号。为了准确控制采样时序,现提出“异或”状态机的概念。“异或”状态机的状态转移控制如图 3 所示,下面介绍其功能与工作原理。

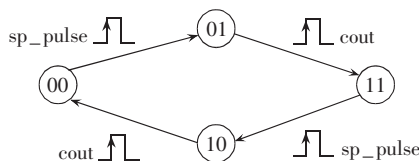


图 3 “异或”状态机状态图

Fig.3 States of “XOR” state-machine

设计 2 个中间变量 AD_EN1 和 AD_EN2 ,且给出如下方程:

$$AD_EN1 = \text{NOT } AD_EN1 \quad (1)$$

$$AD_EN2 = \text{NOT } AD_EN2 \quad (2)$$

sp_pulse 的上升沿驱动方程(1), $cout$ 的上升沿驱动方程(2)。输出方程为

$$AD_EN = AD_EN1 \text{ XOR } AD_EN2 \quad (3)$$

由式(3)决定的输出信号 AD_EN 控制采样机的开始与停止。从图 3 可以看出,“异或”状态机可以很好地控制采样时序。

2.2.2 时序出错处理

当系统遇到干扰时,采样控制模块可能会在 CPU 没有发出采样脉冲 sp_pulse 的情况下启动采样机。这时,可以在 CPU 软件中设置启动标志,若在启动标志没有置位的情况下收到采样中断请求,则不读 FIFO 数据。当发出 sp_pulse 而没有采样结束时的中断请求,说明采样系统工作不正常,作故障处理。

2.3 采样机模块设计

采样机按照 AD 的工作时序驱动 AD 运行,同时完成写 FIFO 和通道转换工作。此模块功能由状态机^[14-15]完成,采样状态机如图 4 所示。

状态机包含主控进程和辅助进程。主控进程中,状态机在 CPLD 主时钟的驱动下,实现状态的转变。可定义状态 $ST0 \sim ST5$ (各状态的定义如图 4 所示),从而,状态机按照 $ST0 \rightarrow ST1 \rightarrow ST2 \rightarrow ST3 \rightarrow ST4 \rightarrow ST5 \rightarrow ST0$ 的循环方式工作。而在辅助进程中,当状态机状

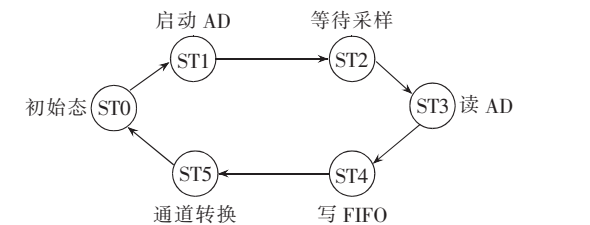


图 4 采样状态机示意图
Fig.4 Sampling state-machine

态改变,可设定相应的操作以实现采样、写 FIFO、通道转换的目的。

值得注意的是,不同 AD 的工作时序不同,为了给出正确的配合时序以保证 AD 正确可靠地工作,可以适当调整状态机的工作方式。

2.4 模值可变计数器设计

计数器的模值可以由锁存器给定。采样机完成一次采样,将向计数器发出一次脉冲,使计数器计数一次。计数器的输出作为多路模拟选择开关的通道选择输入。计数完成,溢出信号将关闭采样机,同时中断 CPU 请求读 FIFO 的数据。

3 设计实例

3.1 实例方案

为了满足装置选线的精度要求,选择采样芯片 ADS 8505。ADS 8505 是一款高性能的 16 位 AD 转换器,最高采样频率可达 250 kHz,采样结果并行输出。为了 AD 的可靠运行和简化设计,使用 R/C 与 CS 引脚控制 AD 的启动(启动脉宽应大于 40 ns),用 CS 和 BYTE 来控制数据的高低字节分次读取。ADS 8505 的控制时序如图 5 所示。

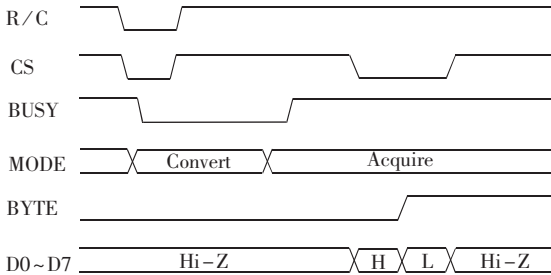


图 5 ADS 8505 时序图
Fig.5 Time sequence of ADS 8505

CPLD 选用 EMP 7032,FIFO 选用 IDT 7201,多路模拟选择开关选用 CD74HC 4067。

如果采样通道少,可选用低价位的 ADS 7805,引脚封装一样,而采样频率为 100 kHz。可以根据需要确定多路模拟开关芯片的片数和型号。为了适应本设计实例要求,采用 2 片 16 选 1 多路模拟选择开关 CD74HC 4067,最大可编程通道为 32 路。

3.2 仿真结果

各模块功能可用高速集成电路硬件描述语言 VHDL(VHSIC Hardware Description Language)实现。设定采样通道数为 31。图 6 和图 7 是设计实例在 MAX PLUSII 10.2 下的仿真图。

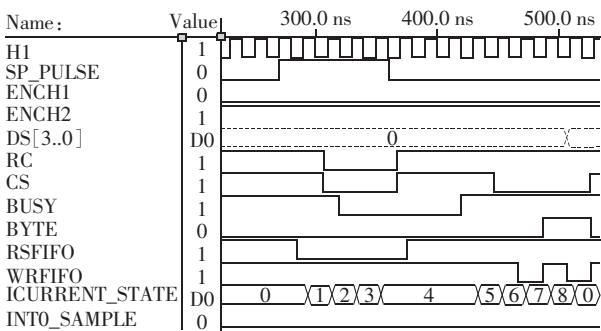


图 6 仿真结果第 1 路部分图
Fig.6 Simulation results of channel 1

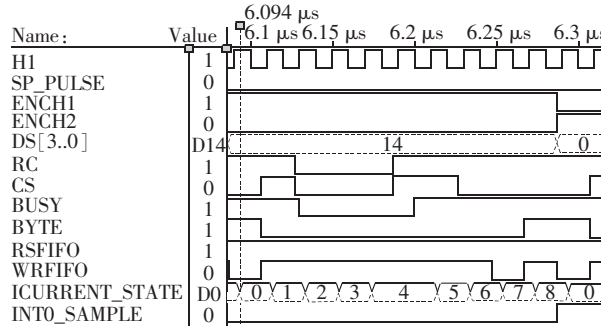


图 7 仿真结果第 31 路部分图
Fig.7 Simulation results of channel 31

限于篇幅,这里只给出第 1 号通道和第 31 号通道的采样过程仿真结果。图中 H1 为 CPLD 主时钟;SP_PULSE 为采样脉冲;ENCH1、ENCH2、DS[3..0]为多路模拟选择开关通道选择信号;RC 为 AD 启动/读数端;CS 为 AD 片选信号;BUSY 为 AD 状态信号,当 AD 进行采样时,BUSY 为低;BYTE 为高位读控制信号;RSFIFO 为复位 FIFO 信号;WRFIFO 为写 FIFO 信号;CURRENT_STATE 为状态机状态,此例中共设 9 个状态,其中 ST 2 和 ST 3 是为获得 40 ns 的 AD 启动脉宽而设定的(CPLD 主时钟 H1 频率为 75 MHz),ST5~ST8 分别为读 AD 高位、写 FIFO、读 AD 低位、写 FIFO;ST8 状态兼通道转换操作;INTO_SAMPLE 为采样结束,向 CPU 请求中断的信号。从仿真结果可以看到,只要改变 SP_PULSE 的频率(在 AD 采样频率允许范围内),就可以改变采样频率;采样通道数由预先设定的数值决定。

4 结论

- a. 介绍的基于 CPLD 的可编程采样方案,为小电流接地选线装置采样系统的设计提供了优良的解决方案。可编程采样的灵活性使小电流接地选线装置更能适应现场条件,从而使其性能有所提高。该采样系统可方便地与单片机或 DSP 接口,系统扩展性好,设计简单,抗干扰能力强。
- b. 可编程采样系统根据实际的采样通道数,设定合适的采样频率,可以缩短选线程序的选线时间,减少占用的系统资源,对降低误判率有重要作用。在要求较高采样率的场合,可以适当减少系统采样通道,以提高系统采样率。

c. 提供的设计方案是一个采样系统的通用解决方案,对相关的场合具有借鉴意义与推广应用价值。

参考文献:

- [1] 李福寿. 中性点非有效接地电网的运行[M]. 北京:水利电力出版社,1993.
- [2] 黎鹏,杨奇逊. 基于 DSP 技术的小电流单相接地选线装置[J]. 电力自动化设备,2004,24(3):50-53.
LI Peng,YANG Qi-xun. Non-direct-ground system single-phase - to - ground fault identification instrument based on DSP [J]. Electric Power Automation Equipment,2004,24(3):50-53.
- [3] 霍百林,王耀南,王辉. DSP 和 MAX125 在单相接地选线装置中的应用[J]. 湖南工程学院学报,2003,13(2):11-13.
HUO Bai-lin,WANG Yao-nan,WANG Hui. Application of DSP and MAX125 to single earth fault selection device[J]. Journal of Hunan Institute of Engineering,2003,13(2):11-13.
- [4] 陈炯聪,齐郑,杨奇逊. 基于模糊理论的小电流单相接地选线装置[J]. 电力系统自动化,2004,28(8):88-91.
CHEN Jiong-cong,QI Zheng,YANG Qi-xun. A fault line detection device for the non-solidly grounded system based on fuzzy sets theory [J]. Automation of Electric Power Systems,2004,28(8):88-91.
- [5] 王坚,卢继平,薛毅. 新型小电流接地故障选线装置的设计[J]. 继电器,2004,32(14):36-40.
WANG Jian,LU Ji-ping,XUE Yi. New design of fault line selection device for indirectly grounding power system[J]. Relay,2004,32(14):36-40.
- [6] 马佳,余文辉,车伟扬,等. 基于改进的 S 注入法的新型树状配电网故障检测装置[J]. 继电器,2002,30(10):51-54.
MA Jia,YU Wen-hui,CHE Wei-yang,et al. A novel fault localizer of tree form distribution networks based on an improved S injection method[J]. Relay,2002,30(10):51-54.
- [7] 熊睿,张宏艳,张承学,等. 小电流接地故障智能综合选线装置的研究[J]. 继电器,2006,34(6):6-10.
XIONG Rui,ZHANG Hong-yan,ZHANG Cheng-xue,et al. Study of an intelligent selection device in indirect-grounded fault system[J]. Relay,2006,34(6):6-10.
- [8] 薛永端,冯祖仁,徐丙垠,等. 基于暂态零序电流比较的小电流

接地选线研究[J]. 电力系统自动化,2003,27(9):48-53.

- XUE Yong-duan,FENG Zu-ren,XU Bing-yin,et al. Earth fault protection in non-solidly earthed network based on transient zero sequence current comparison [J]. Automation of Electric Power Systems,2003,27(9):48-53.
- [9] 贾清泉,杨以涵,杨奇逊. 应用证据理论实现配电网单相接地故障选线保护[J]. 电力系统自动化,2003,27(21):34-44.
JIA Qing-quan,YANG Yi-han,YANG Qi-xun. Application of D-S evidence theory to single-phase-to-ground fault line detection[J]. Automation of Electric Power Systems,2003,27(21):34-44.
 - [10] 王娜,周有庆,龚静. 小波变换在配电网单相接地故障选线中的应用[J]. 电力自动化设备,2003,23(10):27-30.
WANG Na,ZHOU You-qing,GONG Jing. Application of wavelet transform to phase-to-ground fault detection in distribution system[J]. Electric Power Automation Equipment,2003,23(10):27-30.
 - [11] 桑在中,张惠芬,潘贞存,等. 用注入法实现小电流接地系统单相接地选线保护[J]. 电力系统自动化,1996,20(2):11-12,35.
SANG Zai-zhong,ZHANG Hui-fen,PAN Zhen-cun,et al. Protection for single phase to earth fault line selection for ungrounded power system by injecting signal[J]. Automation of Electric Power Systems,1996,20(2):11-12,35.
 - [12] 李士林,尹成群,尚秋峰. 基于图像识别理论的混沌特性判别方法[J]. 中国电机工程学报,2003,23(10):47-50.
LI Shi-lin,YIN Cheng-qun,SHANG Qiu-feng,et al. A method of identifying chaotic nature based on image recognition [J]. Proceedings of the CSEE,2003,23(10):47-50.
 - [13] 胡广书. 数字信号处理——理论、算法与实现[M]. 北京:清华大学出版社,1997.
 - [14] 黄正谨,徐坚,章小丽,等. CPLD 系统技术入门与应用[M]. 北京:电子工业出版社,2002.
 - [15] 潘松,黄继业. EDA 技术实用教程[M]. 北京:科学出版社,2005.
- (责任编辑:李玲)

作者简介:

石吉银(1981-),男,湖南株洲人,硕士研究生,主要从事配电网故障诊断研究(E-mail:jasmine8181@sina.com);

李欣然(1957-),男,湖南涟源人,教授,博士研究生导师,主要从事电力系统分析与控制、电力系统辨识与建模、配电网故障诊断与状态监测等方面的研究工作。

Design of programmable sampling system in fault line selection device for small current grounding system

SHI Ji-yin,LI Xin-ran,LI Zhi-jun,XIAO Feng

(College of Electrical & Information Engineering,Hunan University,Changsha 410082,China)

Abstract: The sampling system of fault line selection device for small current grounding system is analyzed,and the structure and its design of the programmable sampling system with CPLD(Complex Programmable Logic Device) as its core are introduced. The overall design scheme,as well as its principle and characteristics,are presented. With powerful CPLD,the sampling rate and channel number of the system are programmable. The "XOR"state-machine is introduced and its time sequence is analyzed. The sampling rate is adjusted by changing the state and the sampling channel number is set by building a value-changeable counter. The working sequence of AD is controlled by the state-machine,being separated from CPU. CPLD controls the switching of sampling channel and the reading and writing of converted data. By analyzing the control of AD sampling sequence,a sampling system is designed,in which the sampling rate is decided by the input square-wave frequency and the sampling channel number is set by a register in CPLD. Simulation results indicate its good feasibility, stability and versatility.

Key words: small current grounding; fault line detection device; programmable sampling; simultaneous sampling; CPLD; "XOR" state-machine