

利用 FPGA 实现 GPS 失步下精确守时

杨永标, 杨晓渝, 周 捷

(国电南瑞科技股份有限公司, 江苏 南京 210003)

摘要: 选用 M+12 Timing Oncore Receiver GPS 模块、Cyclone II 系列 EP2C8 现场可编程逻辑门阵列(FPGA)、10 MHz 高精度恒温晶振等设计硬件电路,实现 GPS 时钟在失步情况下精确对时。由 GPS 模块接收 GPS 卫星授时信号,输出秒脉冲和 GPS 时标至 FPGA,同时恒温晶振 10 MHz 脉冲信号输入至 FPGA,经 FPGA 处理后的秒脉冲信号和 GPS 时标信息通过驱动电路并行送到串口或光纤模块。软件分成秒脉冲上升沿判别、10 MHz 晶振脉冲计数、GPS 失步情况下秒脉冲生成、GPS 时标接收/发送 4 个功能模块,用 VHDL 语言对各软件模块进行功能开发,并给出了程序清单。仿真和试验结果表明,该方法可保证 GPS 时钟在失步 12 h 内秒脉冲误差小于 50 μ s。

关键词: GPS; FPGA; 硬件平台; 软件流程; 仿真试验

中图分类号: TM 764;P 228.4 **文献标识码:** B **文章编号:** 1006-6047(2007)07-0109-04

提出一种利用现场可编程逻辑门阵列(FPGA)实现在全球定位系统(GPS)失步情况下精确守时的方法^[1-7],经过系统仿真和效果测试,能够保证秒脉冲 1 PPS(Pulse Per Second)在系统失步情况下 12 h 内误差小于 50 μ s,相当于系统电角度小于 1°。

1 硬件平台

1.1 GPS 模块

GPS 模块选用美国 Motorola 公司 M+12 Timing Oncore Receiver GPS 模块,可同时跟踪 12 颗卫星,对时精度高,在卫星接收有效的情况下,1 PPS 的对时误差小于 500 ns。

1.2 FPGA

FPGA 选用 Altera 公司的 Cyclone II 系列 EP2C8,提供了 8256 个逻辑单元(LE),并具有一整套最佳的功能,包括嵌入式 18 bit $\times$ 18 bit 乘法器、专用外部存储器接口电路、4 Kbit 嵌入式存储器块、锁相环(PLL)和高速差分 I/O 能力,是一款高速度、高密度、高性能、低成本的 FPGA。EP2C8 通过外接 4 Mbit 的在线串行配置芯片,保存 FPGA 的程序和配置参数。

1.3 高精度恒温晶振

需选用一款高精度的恒温晶振作为时间跟踪源,要求其频率值为 10 MHz,频率稳定度达到 1×10^{-9} s,频率精确度达到 2×10^{-9} s。

1.4 秒脉冲及时标输出接口

秒脉冲和 GPS 时标信息的输出电路也是必不可少的,需要考虑一定多的接口,满足变电站对时的需要,特殊条件下需要考虑适当的冗余及对外接口方式。在干扰不是很强的环境下可以采用 485 方式,但在干扰比较强或者有特殊要求的情况下采用光纤输出方式。

1.5 守时时钟模块的硬件电路框图

图 1 给出了守时 GPS 时钟硬件电路框图:GPS 模块通过天线接收 GPS 卫星对时信号,将 GPS 模块输出的秒脉冲和 GPS 时标送给 FPGA,同时将恒温晶振的输出 10 MHz 脉冲信号也输入到 FPGA 中,FPGA 将处理后的 1 PPS 信号和 GPS 时标信息通过适当的驱动电路并行送到串口或光纤模块。

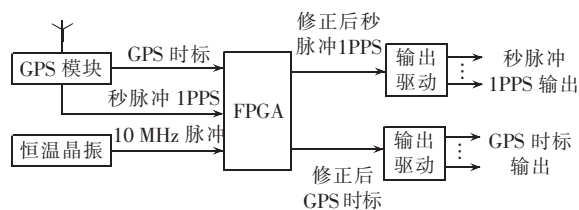


图 1 守时时钟模块的硬件电路框图

Fig.1 The block diagram of clock module

2 软件流程

软件编写主要是在 FPGA 上完成,应用 VHDL 语言对各个软件模块进行功能开发。首先,把 FPGA 实现 GPS 失步情况下精确守时的软件功能分成 4 个功能模块,如图 2 所示。

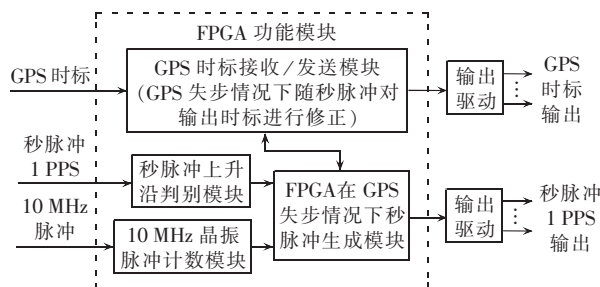


图 2 FPGA 实现守时的功能模块图

Fig.2 The block diagram of FPGA synch function module

2.1 秒脉冲上升沿判别模块

秒脉冲上升沿判别模块一旦接收到 GPS 模块发出的秒脉冲上升沿信息,则首先判断 10 MHz 晶振脉冲计数值是否在 10 000 000 附近,若是,则表明 1 PPS 为真实的秒脉冲信号,立即驱动输出秒脉冲信号,同时将 10 MHz 晶振脉冲计数值清零;否则认为是干扰信号,不予处理。秒脉冲输出的同时,向 GPS 时标接收/发送模块置 1 PPS 有效信号。软件清单如下:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity 1PPS_Judge is
    port(a:IN BIT b:OUT BIT); //a 为 1 PPS 输入管脚,b 为 1 PPS 输出管脚。
    signal 1PPS_Good:bit:= '0',No_disturb:bit;
    //1PPS_Good 为 1 PPS 上升沿检测到置的有效信号,
    No_disturb 为晶振判别模块判别的无干扰信号。
end 1PPS_Judge
architecture bev of 1PPS_Judge is
    begin
        process(a); //如果 1PPS 检测到上升沿并判别非干扰信号,则置 1 PPS 有效信号,并端口输出 1 PPS 信号。
        begin
            if(a'event and a='1'and No_disturb='1') then
                1PPS_Good='1';
                b<=a;
            end if;
        end process;
    end bev;
```

2.2 10 MHz 晶振脉冲计数模块

如果 GPS 没有失步,10 MHz 晶振脉冲计数模块负责在 1 PPS 上升沿开始时判别该 1 PPS 信号是否为干扰信号,若为正常信号则清零计数。如果 GPS 失步,则直接将 10 MHz 晶振脉冲送到 GPS 失步情况下秒脉冲生成模块。软件清单如下:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity 10MHz_Judge is
    port(c:IN BIT); //c 为 10MHz 晶振输入管脚。
    signal 10MHz_Out:bit, //1PPS_Good 为 1PPS 上升沿检测到置的有效信号,No_disturb 为晶振判别模块判别的无干扰信号,10MHz_Out 为 10 MHz 晶振输出信号,GPS_lost 为 GPS 失步信号。
    1PPS_Good:bit,GPS_lost:bit,
    No_disturb:bit:= '1';
    variable Pulse_Count; //Pulse_Count 为 10 MHz 脉冲计数器。
```

```
end 10MHz_Judge
```

```
architecture bev1 of 10MHz_Judge is
```

```
    begin //如果 GPS 未失步,则判别计数值是否合理,
    则置是否为干扰信号标志,同时输出 10 MHz 脉冲给
    GPS 失步秒脉冲生成模块。
```

```
    process()
    begin
        if(GPS_lost='0') then
            if(1PPS_Good='1'and
            (Pulse_Count<10000010)
            and Pulse_Count>9999990) then
                No_disturb='0';
                Pulse_Count='0';
            else
                No_disturb='1';
                Pulse_Count++;
            else if
            end if
            10MHz_Out<=c;
        end process;
    end bev1;
```

2.3 GPS 失步情况下秒脉冲生成模块

GPS 失步情况下秒脉冲生成模块在 GPS 有效的情况下,通过累加 1 min 的 10 MHz 晶振脉冲计数值,求得 1 min 内 10 MHz 晶振由于频率准确度偏差造成的计数值偏差。一旦 GPS 失步,该模块就利用晶振产生的脉冲生成 1 PPS 信号,同时每隔 1 min 对 1 PPS 脉冲信号进行一次修正。软件清单如下:

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity 1PPS_Create is
    port8 (b:OUT BIT); //b 为 1PPS 输出管脚。
    signal 10MHz_Out:bit,GPS_lost:bit,1PPS_Good;
    //1PPS_Good 为 1 PPS 上升沿检测到置的有效信号,
    10MHz_Out 为 10 MHz 晶振脉冲输入,GPS_lost 为
    GPS 失步信号。
    variable 10MHz_Count;
    Warp_Count,Minute_Cnt; 10MHz_CountOld;
    //10MHz_Count 为 10 MHz 脉冲计数器,10MHz_CountOld 为 10 MHz 脉冲上次计数器,Warp_Count 为计数偏差值,Minute_Cnt 为分计数值。
end 1PPS_Create
architecture bev2 of 1PPS_Create is
    begin
        process()
        begin
            if(GPS_lost='0') then
                if(1PPS_Good='1'and Minute_Cnt=60) then
                    Warp_Count=10MHz_Count-
```

```

10 MHz_CountOld;
10 MHz_CountOld = 10 MHz_Count
Minute_Cnt = 0; //GPS 有效情况下计数
10 MHz 脉冲计数偏差值。
else
    Minute_Cnt++;
else
    if(10 MHz_Count = 10000000)
        b <= '1';
        Minute_Cnt++; //此处生成秒脉冲,脉
        宽为 200 ms。
        10 MHz_Count = 0;
        Minute_Cnt++;
        b <= '0';
    else if(Minute_Cnt = 60)
        //此处对 1PPS 时间每分钟进行修正。
        10 MHz_Count = 10 MHz_Count +
        Warp_Count;
    else if(10MHz_Out'event and 10MHz_Out='1')
        10 MHz_Count++;
    end if
end process;
end bev3;

```

2.4 GPS 时标接收发送模块

GPS 时标接收/发送模块主要功能是完成 GPS 时标信息的串口接收和发送,如果 GPS 时标信息中包含的接收到卫星个数不为 0,则表明 GPS 未失步,则该模块直接转发接收到的 GPS 时标报文,同时置 GPS 未失步标志告知 10 MHz 晶振脉冲计数模块和 GPS 失步情况下秒脉冲生成模块,如果卫星个数为

0,则置 GPS 失步标志告知上述两模块。同时该模块在失步情况下随产生的 1 PPS 秒脉冲信号适当对 GPS 时标中的时间信息进行修正。下面列出的软件清单只包括失步判别部分,不包括串口功能部分和串口接收/发送实现部分(串口功能实现和接收/发送功能有例子模块可直接套用)。

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity GPS_Time is
    signal GPS_lost:bit; //GPS_lost 为 GPS 失步信号。
    variable Count_Planet; //Count_Planet 为卫星数
begin
    process() //如果 GPS 时标信息中卫星数为 0,则
    置 GPS 失步标志。
    begin
        GPS 时标报文接收并进行分析
        if(Count_Planet = '0') then
            GPS_lost = '1'
        根据秒脉冲生成时刻对时标的时间信息进行修正
        end if
        GPS 时标报文发送
    end process;
end bev4;

```

3 仿真和试验效果

应用 Cyclone II 系列 FPGA 的仿真软件工具 Quartus II 6.0 对上述方法中的软件进行了仿真,仿真结果如图 3 所示。

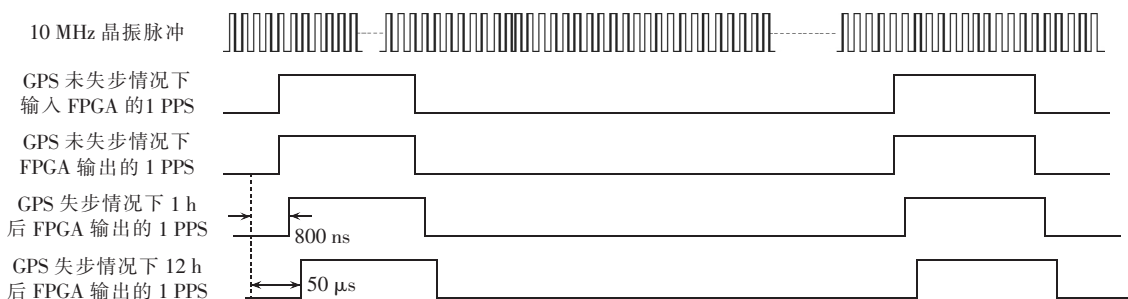


图 3 GPS 失步情况下仿真图

Fig.3 Simulative timing during GPS synch failure

仿真试验效果表明:由于选用的恒温晶振频率稳定度很好,在 GPS 失步情况下,由于每分钟都对 1 PPS 进行了修正,所以 1 h 测试效果 1 PPS 与未失步情况下 1 PPS 的误差为 $0.8 \mu\text{s}$, 12 h 测试效果为 $50 \mu\text{s}$ 。

4 结语

介绍了一种利用 FPGA 实现 GPS 失步情况下精确守时的方法,为今后广域保护和广域测控装置应用 GPS 进行同步采样定时提供了很好保证,作为一个

精确的时钟源能够很好地应用于电力系统同步采样中。

参考文献:

- [1] 李泽文,曾祥君,黄智伟,等. 基于高精度晶振的 GPS 秒时钟误差在线修正方法[J]. 电力系统自动化,2006,30(13):55-58. LI Ze-wen, ZENG Xiang-jun, HUANG Zhi-wei, et al. Method for correcting errors of the GPS-clock based on the high precision crystal oscillator[J]. Automation of Electric Power Systems, 2006, 30(13):55-58.
- [2] 徐燕玲,董公昌,胡淑巧,等. 基于现场可编程门阵列的位同步时钟提取技术研究[J]. 探测与控制学报,2006,28(2):61-64.

- XU Yan - ling,DONG Gong - chang,HU Shu - qiao, et al. Study on bit-in-phase clock pick-up technology based on FPGA[J]. Journal of Detection & Control,2006,28(2):61-64.
- [3] 叶淦华. FPGA 嵌入式应用系统开发典型实例[M]. 北京:中国电力出版社,2005.
- [4] 曾祥君,尹项根,LI K K,等. GPS 时钟在线监测与修正方法[J]. 中国电机工程学报,2002,22(12):41-46.
- ZENG Xiang - jun,YIN Xiang - gen,LI K K,et al. Methods for monitoring and correcting GPS - clock[J]. Proceedings of the CSEE,2002,22(12):41-46.
- [5] 商佳宜,江道灼. 基于 FPGA 的智能数字锁相环实现[J]. 继电器,2005,33(3):72-75.
- SHANG Jia-yi,JIANG Dao-zhuo. Implementation of an intelligent digital phase-locked loop based on FPGA [J]. Relay,2005,33(3):72-75.
- [6] 胡晓菁,李朋,郭佳佳,等. 基于 FPGA 多路交流信号同步采集系统的实现[J]. 继电器,2006,34(3):71-75.
- HU Xiao - jing,LI Peng,GUO Jia - jia,et al. Implementation on multi - channels data synchronous acquisition system based on FPGA[J]. Relay,2006,34(3):71-75.
- [7] 陆佳政,方针,陆新洁,等. 基于 GPS 的高精度频率发生与测量装置的研制[J]. 华中电力,2005,18(6):19-21.
- LU Jia-zheng,FANG Zhen,LU Xin-jie,et al. High precise frequency generation and measure equipment based on GPS[J]. Central China Electric Power,2005,18(6):19-21.
- [8] 王国栋,杜志伟. 基于 GPS 的同步时钟研制及其在电力系统中的应用[J]. 湖北电力,2005,29(5):27-29.
- WANG Guo-dong,DU Zhi-wei. Development of GPS based synchronous clock and its appication in electric power system[J]. Hubei Electric Power,2005,29(5):27-29.
- [9] 王元虎,周东明. 卫星时钟在电网中应用的若干技术问题[J]. 中国电力,1998,31(2):10-13.
- WANG Yuan - hu,ZHOU Dong - ming. Some technical problems of satellite clock applied on power network[J]. Electric Power,1998,31(2):10-13.
- [10] 徐丙垠,李桂义,李京,等. 接收 GPS 卫星信号的电力系统同步时钟[J]. 电力系统自动化,1995,19(3):18-20.
- XU Bing - yin,LI Gui - yi,LI Jing,et al. Synchronous clock in power system by receiving signal from GPS[J]. Automation of Electric Power Systems,1995,19(3):18-20.

(责任编辑:李育燕)

作者简介:

杨永标(1978-),男,江苏海门人,工程师,从事变电站综合自动化的研究工作(E-mail:yangyongbiao@sohu.com);

杨晓渝(1977-),男,重庆人,工程师,从事变电站综合自动化的研究工作;

周捷(1969-),男,广东汕头人,高级工程师,博士,从事变电站综合自动化的研究工作。

Realize accurate timing with FPGA during GPS synch failure

YANG Yong-biao,YANG Xiao-yu,ZHOU Jie

(NARI Technology Development Limited Company,Nanjing 210003,China)

Abstract: The hardware circuit for realizing accurate timing during GPS synch failure is designed with a M+12Timing Oncore Receiver GPS(Global Position System) module,a Cyclone II series EP2C8 FPGA(Field Programmable Gate Array) and a 10 MHz high-precision constant-temperature crystal. The GPS module receives GPS time signal and sends second pulse and GPS time to FPGA while the constant-temperature crystal sends 10 MHz pulse to FPGA. The processed second pulse and GPS time are then sent in parallel to serial port or optical fiber module through the driver circuit. The four software functional modules are developed with VHDL language;second-pulse rising edge detection,10 MHz crystal pulse counting,a second pulse generation and GPS time transceive,and their program lists are given. Simulation and experiment show that the error of second pulse is less than 50 μ s within twelve hours after GPS synch failure.

Key words: GPS; FPGA; hardware platform; software flow; simulation and experiment