

基于单片机和 CPLD 的同步发电机 自动准同期装置设计

张晓英,党存禄,王树东

(兰州理工大学 电信学院,甘肃 兰州 730050)

摘要: 同步发电机的并列操作是电厂的一项重要而频繁的操作。为了避免并列时冲击电流过大,要求并列时断路器两侧电压的幅值差、频率差和相角差都在允许范围内,否则对发电机进行相应的调频、调压控制。对一种基于 AT89S52 单片机和复杂可编程逻辑器件(CPLD)的同步发电机自动准同期装置进行了研究。硬件结构分为 8 个模块;采用结构化编程思想进行了软件设计。该装置结构简单,可靠性高,便于维护,实现了自动测频、测压和测相角,并实现了“智能”调频、调压;同时提供了便捷的人机交互界面,使得参数设置简单灵活。

关键词: 自动准同期; AT89S52 单片机; CPLD; 自动测量; 智能调频; 智能调压

中图分类号: TM 762.3

文献标识码: B

文章编号: 1006-6047(2007)08-0102-04

0 引言

同步发电机的并列操作是电厂的一项重要而频繁的操作。一般采用准同期并列方法将发电机投入系统运行^[1]。准同期并列的条件是待并发电机电压与电网电压的幅值差、频率差在允许范围内,相角差等于零之前的一段时间发出合闸命令,使合闸瞬间相角差为零。当压差和频差不在允许范围内时,对发电机进行相应的调频、调压控制^[2-3]。微机自动准同期装置大多仅采用单片机实现^[4-6]。由于发电机自动准同期装置在测量发电机频率、系统频率、相位差及输出的升压、降压、升频、降频等控制信号时,均需使用定时器、计数器,而单片机内的定时/计数资源是远远不够的,这就要在单片机外扩展定时器、计数器。以往的研究多采用多片可编程定时/计数器 8253,使电路过于复杂并且稳定性不佳^[7]。这里提出采用复杂可编程逻辑器件 CPLD (Complex Programmable Logic Device)扩展单片机的定时器和

计数器来设计同步发电机自动准同期装置,简化了结构、提高了系统可靠性。

1 准同期装置硬件设计

该同步发电机自动准同期装置以 AT89S52 单片机和 CPLD 为控制核心,硬件结构分为:CPU、CPLD、人机交互、输入、输出、相角差显示、RS-485 通信、电源等 8 个模块。硬件原理图如图 1 所示。

1.1 CPU 模块

CPU 模块中,AT89S52 是一种低功耗、高性能的 CMOS 8 位微控制器,采用 12 M 的晶振,使用片内 8K 程序存储器和 256×8 bit 内部 RAM,该单片机具有看门狗功能,有效地节省了 I/O 端口,单片机外部设置了上电复位电路和按键复位电路。模块中的 74LS373 将低 8 位地址进行锁存,以便 PO 口地址、数据共用。另外,模块中的 ADC0809 将输入的模拟量转换成数字量送入单片机进行处理。

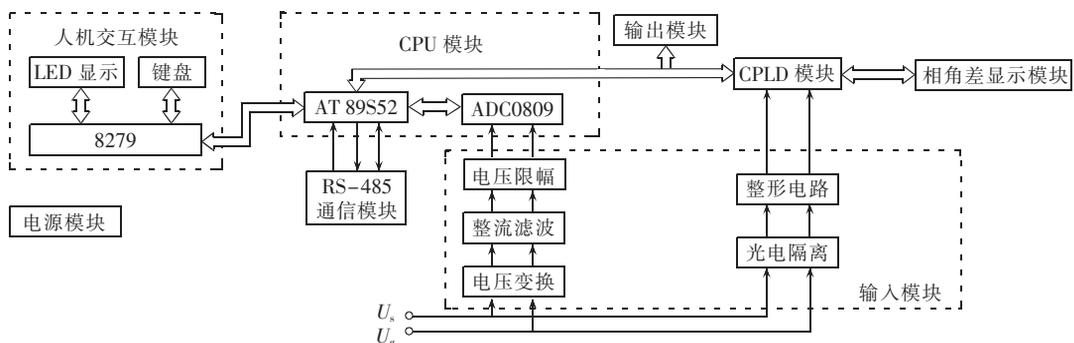


图 1 同步发电机自动准同期装置硬件原理图

Fig.1 Block diagram of generator automatic quasi-synchronizing device



1.2 CPLD 模块

CPLD 模块的核心器件采用 Altera 公司的 EPM 9320LC84-15(MAX9000 系列)芯片。MAX 9000 系列把 MAX7000 的有效宏单元结构与高性能 FLEX 器件的可预测互连结合在一起,能够适合于多系统级功能的集成。MAX9000 器件通过工业标准 4 引脚 JTAG 接口实现在线可编程^[9]。通过输入模块,将电网和发电机的频率所产生的方波分别加到 2 个 16 位计数器(通过软件编程实现)的门控端,通过脉冲计数的方法实现频率的测量。同样,将电网和发电机的频率所产生的方波经过异或门,输出的信号加到 16 位计数器的门控端,通过脉冲计数的方法实现相角差的测量。另外,该模块也包含了输出调压、调频脉冲控制器,控制器的控制命令由 CPU 模块发出,控制输出的调压、调频脉冲^[10]。故障闭锁功能也由该模块实现。限于篇幅,这里只介绍利用 CPLD 设计调频控制器。

采用硬件描述语言 VHDL(源程序略)设计了调频控制电路如图 2 所示。调频控制器测试电路如图 3 所示^[11]。利用 Altera 公司的 MAX+plus II 开发软件对调频控制器电路进行仿真,仿真结果见图 4 和图 5。

当控制字为 0X00~0X01 时,该调频控制器输出

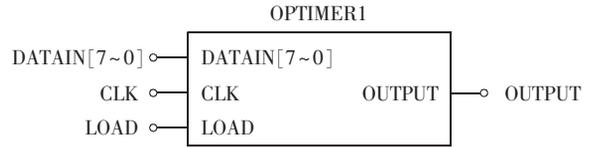


图 2 调频控制器电路

Fig.2 Frequency controller

控制信号的高电平宽度为 0 个 CLK,控制字为 0X02 时为 5 个 CLK,到控制字为 0XC5 时为占空比为 1 的波形,控制字为 0XC5~0XFF 时,占空比均为 1。因此,控制字在 0X02~0XC5 之间时,输出控制信号的占空比可连续变化。

根据 CPU 模块发出的调频控制字,控制调频输出波形的占空比,调频波形的占空比在 0~100% 连续可调,周期为 0.4 s。

1.3 人机交互模块

人机交互模块的核心器件为 8279,主要完成参数设定以及电网和发电机的频率、电压显示。

1.4 输入模块^[12-13]

输入模块实时采集电网和发电机的频率、电压以及相位差信号,并提供与 CPU 模块的电压输入接口电路以及与 CPLD 模块的频率、相位差输入接口电路。电网和发电机的电压信号通过变压器和由

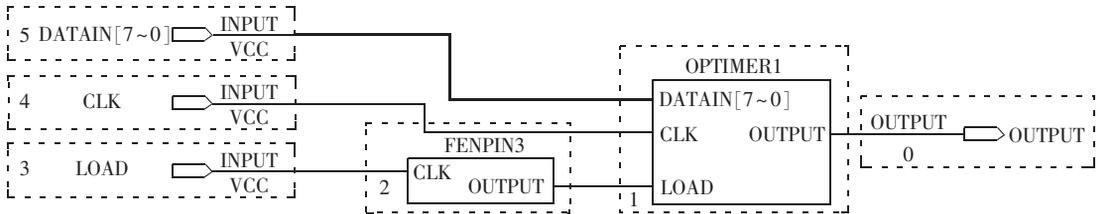


图 3 调频控制器的测试电路(FENPIN3 为 40 分频)

Fig.3 Test circuit of frequency controller(FENPIN3 divides input frequency by 40)

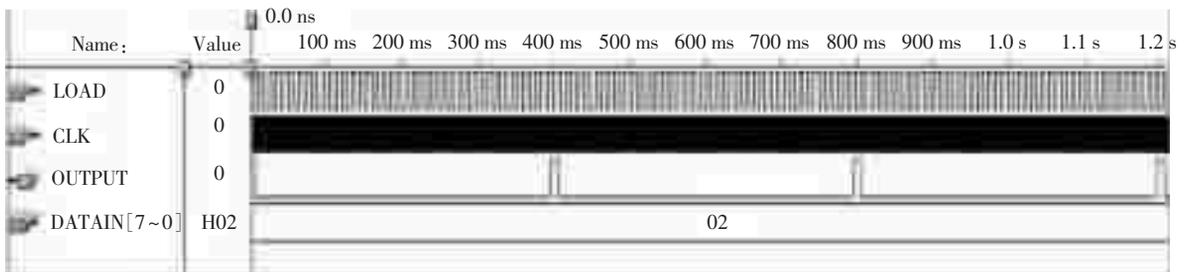


图 4 控制字为 0X02 时的仿真波形图(CLK=500 Hz,LOAD=100 Hz)

Fig.4 Simulative waveform when control word is 0X02(CLK=500 Hz,LOAD=100 Hz)

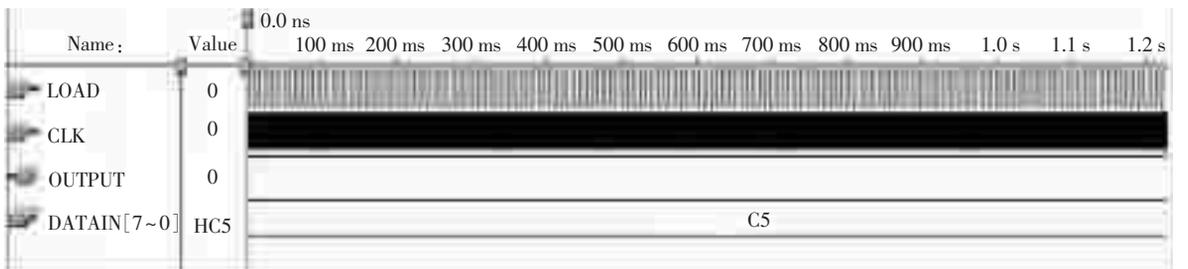


图 5 控制字为 0XC5 时的仿真波形图(CLK=500 Hz,LOAD=100 Hz)

Fig.5 Simulative waveform when control word is 0XC5(CLK=500 Hz,LOAD=100 Hz)

集成运放构成的精密整流电路进行全波整流,然后通过有源滤波电路变成较平稳的直流信号,输入 CPU 模块的 AD 转换器变成数字量,被单片机读入,实现电压测量。另外,输入信号还通过光耦整形形成方波,再利用施密特触发器进行边沿整形,变换后的信号二分频以后输出到 CPLD 模块,进行频率和相位差的测量。单片机利用采集到的电压、频率和相位差数据进行准同期条件的判断,确定合闸脉冲的发出时机,实现准确合闸。

1.5 输出模块

输出模块完成系统控制输出功能,起到隔离和脉冲功率放大的作用。控制信号通过 6 个光电耦合器实现控制设备与外界的隔离,控制输出通过升压、降压、升频、降频、合闸、报警继电器完成。这些继电器为发电机的调速器、励磁调节器和合闸开关提供均频、均压以及合闸脉冲,同时在装置运行异常时,能够进行报警,并且使各继电器闭锁,避免误动作的发生。另外,在该模块中也设有状态指示信号灯。控制指示的控制信号来自 CPLD 模块内的状态锁存器,而其状态字是由 CPU 模块所提供的,在单片机发出调频、调压控制字的同时,更新状态字,再输出到 CPLD 模块并将其存于状态锁存器。

1.6 相角差显示模块

相角差显示模块是一个环形指示器,由 30 个发光二极管组成,相位差的大小编码成为不同位置的发光二极管的使能信号。CPLD 模块接收 CPU 模块发出的代表相角差大小的 4 位编码,通过 CPLD 内的 4-16 译码将 4 位编码译为发光二极管位置编码,该位置编码送入相角差显示电路中发光二极管阴极。

1.7 RS-485 通信模块

RS-485 通信模块的核心器件为 MAX485,另外还有光电耦合器和 DC-DC 变换器,提供了良好的隔离,增强了抗干扰能力。采用工业用 485 通信接口,可实现与上位机的半双工通信。

2 准同期装置软件设计^[14-15]

图 6 为软件总流程图。

软件设计采用模块化设计思想,主要包括主程序,初始化、AD 转换、显示、取键值、延时、脉冲生成、相角差译码指示、电压判断、频率判断、相角差判断等子程序及中断服务程序。其中,主程序主要完成各子程序的调用、键码的识别、数值处理等功能,而中断服务程序完成对电网和发电机的频率及相角差的测量、计算和监视,实现与 PC 机的通信。

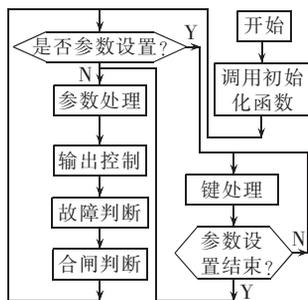


图 6 软件总流程图

Fig.6 Flowchart of software

3 结语

基于单片机和 CPLD 的同步发电机自动准同期装置,在硬件方面,使用 AT89S52 单片机内部的看门狗功能,有效地节省了 I/O 端口,简化了设计。CPLD 的采用,使系统大部分逻辑电路和时序电路被集成到一个芯片中,避免了使用大量中、低规模的集成电路,结构简化、可靠性提高。EDA 技术使得硬件设计变成了软件设计,不仅简化了硬件设计的过程,缩短了开发周期,而且使得硬件方案可以灵活修改。在软件方面,采用结构化编程思想,使得该装置的软件结构清晰,便于维护和修改。软件不仅实现了装置的测频、测压和测相角,而且实现了“智能”的均频、均压功能。同时,提供了便捷的人机交互界面,使得参数设置简单、灵活。该装置的整体设计样机,经过几个月的试运行,各项功能稳定可靠。

参考文献:

- [1] 卓友乐,叶念国. 微机型自动准同步装置的设计和应用[M]. 北京:中国电力出版社,2002.
- [2] 孙莹,王葵. 电力系统自动化[M]. 北京:中国电力出版社,2005.
- [3] 付巍. 同步发电机并网运行的研究[J]. 机械管理开发,2005(5):23-24.
FU Wei. Research on synchronous generators combined in the grid[J]. Mechanical Management and Development,2005(5):23-24.
- [4] 彭晓涛,王少荣,程时杰. 高性能微机自动准同期装置[J]. 电力系统自动化,2002,26(9):1-3.
PENG Xiao-tao,WANG Shao-rong,CHENG Shi-jie. A high performance microprocessor based automatic quasi-synchronization device[J]. Automation of Electric Power Systems,2002,26(9):1-3.
- [5] 史德嘉,鲁光德,朱建林. 同步发电机的自动准同期控制系统[J]. 湘潭大学学报:自然科学版,2003,25(2):99-101.
SHI De-jia,LU Guang-de,ZHU Jian-lin. Automatic accurate circle controlling system of synchronous dynamo[J]. Journal of Xiangtan University:Natural Science,2003,25(2):99-101.
- [6] 张春,李晓林. 水电站微机自动准同期装置[J]. 黑龙江大学学报:自然科学版,2004,21(2):83-86.
ZHANG Chun,LI Xiao-lin. Micro-processor sub-synchronous equipment for hydro power station[J]. Journal of Heilongjiang University:Natural Science,2004,21(2):83-86.
- [7] 邓振利,姜杰,唐昆明,等. 基于双处理器的自动准同期装置设计[J]. 继电器,2006,34(1):46-48.
DENG Zhen-li,JIANG Jie,TANG Kun-ming,et al. Design of automation synchronizer based on double microprocessor[J]. Relay,2006,34(1):46-48.
- [8] 黄正瑾,徐坚,章小丽,等. CPLD 系统设计技术入门与应用[M]. 北京:电子工业出版社,2002.
- [9] 廖裕许,陆瑞强. CPLD 数字电路设计[M]. 北京:清华大学出版社,2001.
- [10] 李俊霞,涂仁川,严兵,等. 一种微机型自动准同期装置[J]. 继电器,2002,30(9):53-54.
LI Jun-xia,TU Ren-chuan,YAN Bing,et al. A microprocessor based automatic synchronizing device[J]. Relay,2002,30(9):



53-54.

- [11] 朱松柏,刘震宇,朱莹. AVR 单片机+CPLD 体系在测频电路中的应用[J]. 测控技术,2006,25(1):73-74.
ZHU Song-bai,LIU Zhen-yu,ZHU Ying. Application of AVR MCU and CPLD in frequency measurement circuit[J]. Measurement and Control Technique,2006,25(1):73-74.
- [12] 韩亮,张伟,陈文武,等. 基于 CPLD 控制的发电机组在线监测系统数据采集卡设计[J]. 仪表技术与传感器,2006(4):24-26.
HAN Liang,ZHANG Wei,CHEN Wen-wu,et al. Data acquisition card for condition monitoring of electric generator based on CPLD[J]. Instrument Technique and Sensor,2006(4):24-26.
- [13] 贾方亮,田立国,郝立果,等. 基于 CPLD 的相位差测量方法研究及实现[J]. 天津科技大学学报,2004,19(3):59-61.
JIA Fang-liang,TIAN Li-guo,HAO Li-guo,et al. Research and realization of phase measurement based on CPLD [J]. Journal of Tianjin University of Science and Technology, 2004,19(3):59-61.

- [14] 丁卫东,刘涤尘,王丽萍,等. 基于单片机及 CPLD 的电动机保护装置研究[J]. 电力建设,2003,24(1):45-47.
DING Wei-dong,LIU Di-chen,WANG Li-ping,et al. Study on protection of electric motor based on single board computer and CPLD[J]. Electric Power Construction,2003,24(1):45-47.
- [15] 潘松. VHDL 实用教程[M]. 成都:电子科技大学出版社,2000.

(责任编辑:柏英武)

作者简介:

张晓英(1973-),女,四川仁寿人,讲师,硕士,主要研究方向为电力系统自动化(E-mail:zhxy_jb@yahoo.com.cn);

党存禄(1964-),男,甘肃秦安人,高级工程师,主要研究方向为电力电子与电气传动;

王树东(1965-),男,山东青岛人,副教授,主要研究方向为电气自动化。

Design of generator automatic quasi-synchronizing device based on microprocessor and CPLD

ZHANG Xiao-ying,DANG Cun-lu,WANG Shu-dong

(Lanzhou University of Technology,Lanzhou 730050,China)

Abstract: Generator synchronization is an important and frequent operation in power station. In order to avoid great impact current,the differences of voltage magnitude,frequency and phase between two sides of the breaker must be in the range permitted,otherwise the frequency and magnitude of generator voltage should be adjusted. A generator quasi-synchronization device based on AT89S52 microprocessor and CPLD(Complex Programmable Logic Device) is studied. Its hardware includes eight modules and its software is structuralized. The device structure is simple,its reliability is high and the maintenance is easy. It measures the voltage magnitude,frequency and phase automatically and realizes intelligent frequency and voltage adjustments. Convenient HMI makes the parameter setting simple and flexible.

This project is supported by the Gansu Provincial Youth and Middle-age Science Foundation(ZS032-B25-027).

Key words: automatic quasi-synchronization; AT89S52 microprocessor; CPLD; automatic measuring; intelligent frequency adjustment; intelligent voltage adjustment