

基于 RPR 数字化变电站秒脉冲同步方案

朱国防, 陆于平

(东南大学 电气工程学院, 江苏 南京 210096)

摘要: 针对 IEC61850 标准所定义的过程总线上采样值高精度同步要求, 提出一种基于弹性分组环(RPR)双环的数字化变电站秒脉冲(PPS)同步方案。在该方案中, RPR 节点分为主、从 2 种节点, 主节点接入源秒脉冲, 从节点负责恢复 PPS 输出。PPS 上升沿采用以太网物理层编码中的保留控制字 K28.6 表示, 以抢占式高优先级(无延迟抖动)在 RPR 双环上同时传输; 并采用主节点预补偿方式消除传输延迟的影响。对 PPS 恢复方案的误差进行了分析, 给出了现场可编程门阵列(FPGA)的设计方法, 采用硬件描述语言 Verilog HDL 设计, 并用 Modelsim 软件做了仿真验证。结果表明: 基于 RPR 双环的 PPS 恢复精度可以达到纳秒级; 该方案使数字化变电站的过程总线和时钟同步网络合并成为可能。

关键词: 数字化变电站; 弹性分组环; 时间同步; 秒脉冲; 现场可编程门阵列

中图分类号: TM 76; TN 913.7

文献标识码: A

文章编号: 1006-6047(2010)03-0090-05

0 引言

数字化变电站采用电子式互感器为过程层采集数据共享提供了条件, 同时也提出了电子式互感器同步采样问题。IEC61850 对智能电子装置(IED)的时钟精度功能要求划分为 5 个等级($T_1 \sim T_5$), 其中变电站内母线保护、变压器保护、方向距离保护以及测控计量设备对数据源同步的精度要求一般都高于 T_4 等级, 即 $\pm 4 \mu s^{[1-5]}$ 。

当前, 数字化变电站中典型的同步采样时钟的产生过程如下: 全球定位系统(GPS)接收机接收到时钟信号以后, 以秒脉冲 PPS(Pulse Per Second)信号或 IRIG-B(Inter Range Instrumentation Group)码形式发送到变电站的 GPS 时钟专用网络中, 合并单元从中获取 GPS 时钟后将其作为同步信号产生采样时钟^[6-7]。除了 GPS 外, 简单网络协议(SNTP)和 IEEE1588 等基于网络方式的时间同步机制也是可供数字化变电站选择的时间同步方案^[8-10]。若变电站过程总线采用环形拓扑时边界时钟较多, 补偿振荡器稳定度的控制环级联会导致系统不稳定, 一般需要采用旁路时钟的解决方案, 而这会降低时间同步精度。所以 IEEE1588 应用于数字化变电站中还需要作进一步研究^[9-10]。

IEEE802.17 弹性分组环 RPR(Resilient Packet Ring)是一种新媒体控制协议, 它是吸收了吉比特以太网的经济性和同步数字网对延迟和抖动严格保证、可靠的时钟以及 50 ms 倒环保护等特性的新型增强以太网技术^[11]。它的出现为数字化变电站过程总线提供了很好的技术选择。本文基于 RPR 双环网

结构提出了一种数字化变电站 PPS 的分配方案。方案中把 RPR 网络中的节点分为主节点和从节点, 精确源 PPS 接入主节点, 主节点同时通过双环以抢占式高优先级向从节点发布 PPS。方案中通过补偿消除了传输延迟的影响, 从而实现了从节点纳秒级恢复精度的 PPS 输出。

新方案具有以下 3 个优点: 新方案复用以以太网信道, 可做到变电站过程总线和同步校时网络合并, 简化了同步校时网络的布线; 采用恢复算法可补偿传输延迟带来的误差, 同步精度更高, 并且使 PPS 的传输距离不再受限制; 采用双环拓扑结构传输 PPS, 其可靠性比采用星型结构的时钟专用网络更高。

1 基于 RPR 双环的 PPS 恢复方案

1.1 基于 RPR 的变电站过程总线 PPS 分配

基于 RPR 的数字化变电站过程总线的基本方案包括 2 个方面。

a. 采用纯 RPR 实现过程总线。间隔层 IED 和过程层的电子互感器、智能断路器等通过 RPR 接口接入总线。

b. 采用以太网和 RPR 混合组网。RPR 实现变电站过程总线的主网架, IED 采用面向间隔或面向位置的原则通过 IEEE802.3-RPR 网桥集中到 RPR 节点, 实现 2 层混合网络, 如图 1 所示。

下面以混合组网为例讨论变电站过程总线的 PPS 分配方案。在图 1 中, 时间服务器节点以 PPS 方式或 IRIG-B 码方式接入 RPR 网络的 PPS 恢复功能主节点, 若采用 IRIG-B 码方式接入, 主节点负责解码以产生 PPS 上升沿; 其他 RPR 节点默认为从节点, 负责 PPS 的恢复输出。其中, 802-RPR 网桥提供多路 PPS 输出供接入网桥的过程层 IED 或间隔层 IED 使用。这样就实现了过程总线和时钟同步网的合

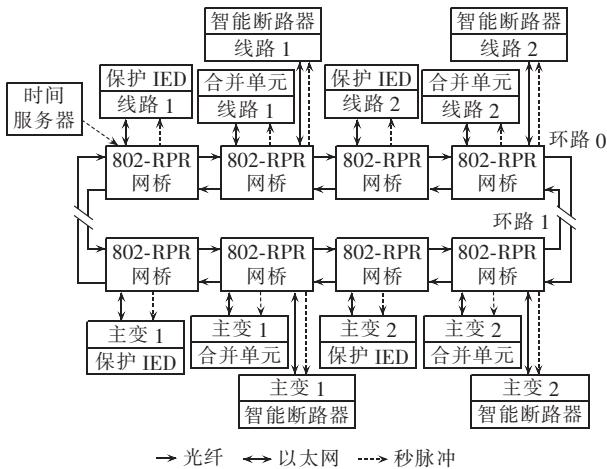


图 1 变电站过程总线及秒脉冲分配网络

Fig.1 PPS distribution network of substation process bus

并,通过信道复用可以简化同步校时网络的布线。

1.2 基于 RPR 物理层的 PPS 传输机制

RPR 技术包含 2 层:L2 RPR MAC(Access Control Layer)层和物理层。RPR MAC 层和物理层是独立的,物理层可以采用吉比特光以太网和 10 吉比特光以太网。所组成的网络在功能和协议上对应着开放系统互连 OSI (Open System Interconnect reference model) 7 层模型的最低 2 层,即数据链路层和物理层。分层参考网络如图 2 所示^[11]。

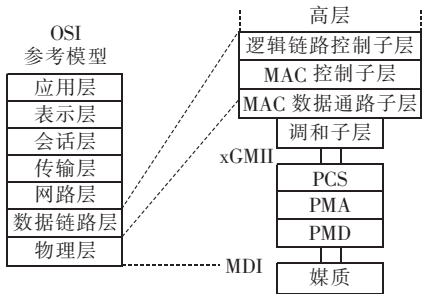


图 2 基于光以太网的 RPR 分层参考模型

Fig.2 Hierarchical structure of RPR based on optical Ethernet

调和子层起着命令翻译器的功能,负责将 MAC 层传来的命令和原语映射成适合物理层实体接收的电信号形式。物理编码子层 PCS(Physical Coding Sublayer)负责将去往和来自 MAC 子层的数据流编码,包括数据编码和控制信令编码等。具体的编码方案依据光以太网速率而定,1 Gbit/s 和 10 Gbit/s 分别采用 8B/10B 编码和 64B/66B 编码。物理介质附加子层 PMA(Physical Medium Attachment)负责将来自上层功能实体的串行码组映射成适合物理传输的比特流,并将来自物理设备的比特流解释成上层实体可以阅读的码组。物理介质相关子层 PMD(Physical Medium Dependent)负责光信号的收发功能。

在数据编码中,除了“数据码”外还定义了“控制码”。控制码是作为控制的用途,例如:在吉比特以太网中用到帧起始定界符(K27.7)、结束定界符(K29.7)、空闲码(K28.5)、载波监听(K23.7)等,其中 K28.0、

K28.2、K28.3、K28.4 和 K28.6 等控制码保留未使用;在 10 吉比特以太网中 K23.7 也是保留未使用的。

基于以太网物理层的 RPR 是一个异步传输标准,其报文长度是可变的,且只有在有业务时才传送 RPR 帧,不能像同步传输网一样采用帧边界定位的方法来提取时钟信号。本文定义一个保留控制码(K28.6)作为 PPS 上升沿的“时钟标记”,时间服务器节点(主节点)采用以广播方式向 RPR 环路上插入“时钟标记”的方法实现对环上所有节点发布 PPS 信息。从节点在接收到该“时钟标记”后立即向下游转发,主节点在接收到该“时钟标记”后,负责把它从环上剔除,当然主节点可以得到“时钟标记”在环路上总延迟。“时钟标记”采用抢占式最高优先级发送,即“时钟标记”可以插入到 RPR 的数据帧中,也可以位于帧间,使传输延迟抖动为零,这样就减少了传输队列的等待延迟所带来的同步误差。RPR 环是双向反向环,主节点同时发送“时钟标记”到双环上,沿 2 个方向传送到各个节点,可以具有冗余备份功能,从而保障环在任何情况下保持同步。

1.3 基于 RPR 双环的 PPS 恢复算法

即使“时钟标记”采用抢占式最高优先级发送,使用“时钟标记”传送 PPS 时,接收端接收到的信号肯定也有传输延迟。该传输延迟与传输距离和所经过的转发节点个数有关。以吉比特光以太网为例,“时钟标记”是一个单字节控制码,在每个节点的转发时延为 8 ns;信号在 900 m 光纤中的传播延迟大约需要 3 μs;若作为变电站过程总线的 RPR 网络上有 250 个节点,环长 900 m,则“时钟标记”在环上最大的传输延迟约有 5 μs。所以为了提高环时间同步的精度,采用适当的时延补偿算法是必要的。

RPR 采用双环结构,在一个环上传送业务,在另一个环上反方向独立地传送其他的业务。这样,节点在环上有 2 个方向会到达另一个节点。顺时针环被称为内环(又称环路 1,下文以 $R1$ 表示),逆时针环被称为外环(又称环路 0,下文以 $R0$ 表示)。环路上所有连接都工作在相同的速率,相邻节点之间的链接是双向的。RPR 的双环结构如图 3 所示。在图 3 中,假设 S_1 节点是主节点(时钟服务器节点),假设主节点 S_1 所记录的在环路 0 和环路 1 上的总时延分别为 t_{R0} 、 t_{R1} ,因为“时钟标记”采用抢占式最高优先级发送,传输延迟抖动为零,对于 RPR 的双环而言,传输距离和所经过的转发节点个数相同,所以 2 个环路的总传输延迟相等,即 $t_{R0}=t_{R1}$ 。主节点可以分别从 2

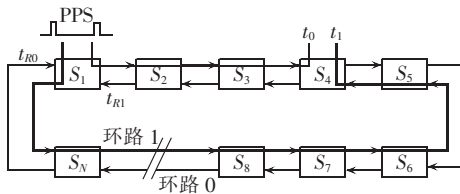


图 3 RPR 双环结构

Fig.3 Dual-ring structure of RPR

个环路获得环路总传输延迟,为可靠起见,取 2 个环路的总时延的平均值作为 RPR 环路的总时延 t_R ,即

$$t_R = (t_{R0} + t_{R1}) / 2 \quad (1)$$

假设“时钟标记”在环路 0 和 1 上从 $S_1 \sim S_4$ 的传输延迟分别为 t_0, t_1 , 2 个“时钟标记”从不同方向传输,两者的叠加刚好覆盖了整个网络,式(2)成立。

$$t_R = t_0 + t_1 \quad (2)$$

因此,若主节点向环路上发送脉冲的上升沿比精确时钟源 PPS 的上升沿提前环路总传输延迟的一半,则从节点从 2 个环路上接收到 2 个脉冲的上升沿在精确时钟源 PPS 上升沿的两侧对称分布。其时序图如图 4 所示。从节点利用这 2 个脉冲就可以精确恢复出 PPS。

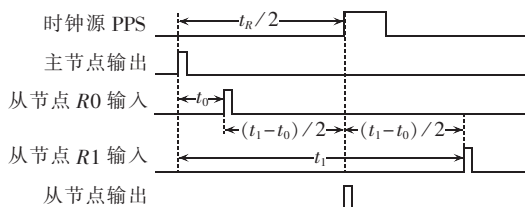


图 4 基于双环的 PPS 恢复时钟时序

Fig.4 Sequence of PPS rebuilding based on dual-ring

在上述的恢复算法中,对于主节点而言,只需要计算出环路总时延即可,不需要与从节点交互;对从节点而言,只需要被动接收信息即可恢复 PPS。所以说该算法逻辑简单,计算量小,可以采用纯硬件电路实现,时钟恢复精度高。通过对传输延迟的补偿,使校时网络不再受传输距离的影响。

因为环路的传输延迟只与传输距离和所经过的节点数有关,环路的传输延迟比较稳定。因此当某一方向的环路不通时,基于记忆的补偿值,从节点也可以恢复输出 PPS。换言之,对于从节点,既可以基于环路 0 也可以基于环路 1 的脉冲输入来恢复输出 PPS。为了增强系统的容错性,防止脉冲丢失影响智能装置的正常工作,主、从节点可以采用内置晶振实现自举保持 PPS 输出。主节点自举 PPS 周期取自于所记忆的源 PPS 周期;从节点自举 PPS 周期取自于所记忆的主节点输出 PPS 周期。

2 PPS 恢复方案误差分析

时钟同步系统所能达到的最高同步精度 p 可用下式表示:

$$p = c_1 t_g + c_2 t_g + c_3 t_u + c_4 t_p \quad (3)$$

其中, t_g 表示网络传输延迟抖动,即网络传输延迟的最大值或最小值与平均值之差; t_g 表示本地时钟的解析度,即时钟计数器值的最小变化量所对应的物理时间; t_u 表示信号的同步误差,即异步信号的边沿与经过同步器后产生的同步信号的边沿之间的不确定性; t_p 表示在一个同步周期内从时钟晶振产生的漂移; c_1, c_2, c_3, c_4 均为常数。

振荡器一般是石英晶体,会受到温度、机械、老化等因素影响。一个典型的未补偿的石英晶体振荡

器温度指标为 $1 \times 10^{-6} / ^\circ\text{C}$ 。对于 IEEE1588 对时网络而言,在同步间隔为 2 s、温度变化 1°C 时,会产生约为 $2 \mu\text{s}$ 的误差。IEEE1588 对时链路中的根时钟和边界时钟作为对时的上中游环节,其振荡器的稳定度将直接影响整个系统的对时精度,所以 IEEE1588 对时精度严重依赖振荡器的稳定度。而在所阐述的 PPS 恢复方案中,双环正常运行时,恢复精度不受振荡器的影响;在网络故障单环运行时,脉冲恢复使用记忆的补偿值进行,其中的补偿值是基于晶振计数,受晶振精度的影响,但是补偿值一般都比较小(微秒级),晶振偏移误差带来的影响权重只是相当于同步间隔为几微秒所带的误差,数量级为皮秒级,可忽略。

网络对时方式中,网络延迟抖动将严重影响对时精度,IEEE1588 采用边界时钟来解决此问题。但在变电站过程总线采用环形拓扑时,边界时钟较多,补偿振荡器稳定度的控制环级联会导致系统不稳定,一般采用旁路时钟的解决方案,而网络延迟抖动对旁路时钟的影响比较大。本文的 PPS 恢复方案,“时钟标记”采用抢占式最高优先级发送,网络延迟抖动为零,从而消除了传输延迟抖动对同步精度的影响。

式(3)中的第 2、3 项引起的误差是本地时钟的解析度的函数,当本地时钟采用 125 MHz 的晶振时,时钟周期为 8 ns,所以这 2 项的误差为纳秒级的。

3 基于 FPGA 的设计实现

随着电子技术的发展,集成有多路高速串行收发器的现场可编程门阵列(FPGA)得到了广泛的应用。采用高速串行收发器设计的 RPR 吉比特光纤以太网接口芯片可以直接提供小型可插拔式 SFP(Small Form Pluggable)接口。基于 FPGA 的吉比特 RPR 接口芯片的架构如图 5 所示。

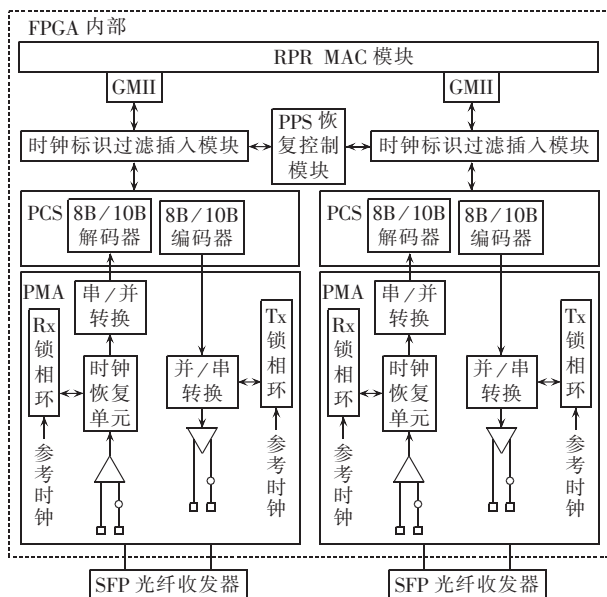


图 5 RPR MAC 硬件功能模块框图

Fig.5 Block diagram of RPR MAC hardware functional module

整个 RPR 接口芯片主要由 RPR MAC 层控制器、PPS 恢复控制模块、2 个吉比特以太网通道物理层的 PCS 模块和 PMA 模块等组成。PPS 恢复控制模块与 RPR MAC 层一样,都是面向 PCS 编码层。因为本设计中的“时钟标识”采用了保留的控制码,所以在 PCS 层与 MAC 层之间嵌入一个“时钟标识过滤插入模块”,以实现时钟标识控制码的过滤析出与抢占式高优先级插入。

根据 RPR 节点在 PPS 恢复中的配置不同,PPS 恢复模块又分为主节点和从节点 2 种模式。主节点模式的功能框图见图 6,从节点模式的功能框图见图 7。主节点实现环总延时的计算和补偿,从节点根据 2 个环上收到的 PPS 信号恢复准确的 PPS。

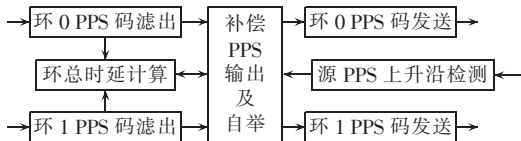


图 6 主节点 PPS 恢复模块功能框图

Fig.6 Block diagram of PPS rebuilding functional module in master node

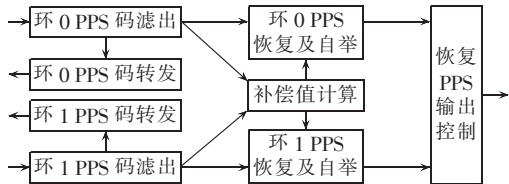


图 7 从节点 PPS 恢复模块功能框图

Fig.7 Block diagram of PPS rebuilding functional module in slave node

为了提高补偿精度,主、从节点的系统处理所引起的延时也需要补偿。为了简单起见,这 2 项补偿都放在主节点的补偿环节中。

本设计采用硬件描述语言 Verilog HDL 进行电路设计,以 Altera 公司 Quartus II 9.0 软件和 Modelsim SE 仿真软件作为设计平台,最后采用 Arria II GX EP2AGX20CU1715 FPGA 器件完成设计,其中 PPS 恢复模块的系统时钟采用接收数据锁相环所输出的低频时钟,即 125 MHz。

4 硬件仿真和实验

为了验证本设计的合理性及分析 PPS 的恢复精度,模拟搭建图 8 所示的仿真测试模型。该模型模拟了一个 9 节点 RPR 网络,其中 S_1 作为主节点,接入源 PPS,其他 8 个节点工作在从节点模式,负责恢复输出 PPS。假设节点之间连接光纤的长度都是 750 m,传播延时大约 250 ns,使用 31 位移位寄存器仿真光纤传播延时。实际系统中 PPS 间隔为 1 s,脉冲宽度 10 μ s。为了仿真方便,把秒脉冲间隔调整为 10 μ s,输出脉冲宽度设定为 104 ns,这不会影响实现电路的验证结论。

图 9 以 S_3 节点为例,给出了补偿算法所涉及的几个输入、输出脉冲的时序关系。可看出与图 3 所示的算法时序基本一致。不同的是,主节点的补偿值

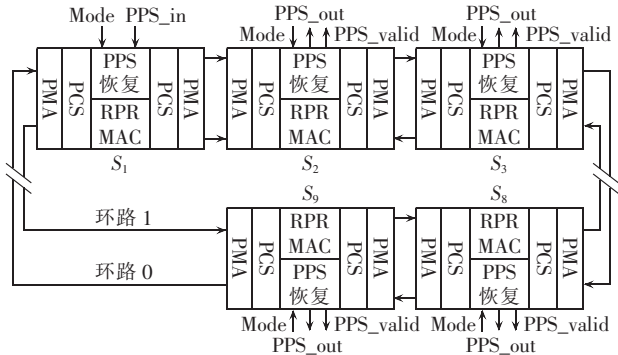


图 8 PPS 恢复仿真测试模型

Fig.8 Simulation model of PPS rebuilding

中除了环时延的一半之外,还包括时序系统的处理延时:13 个时钟周期。分别包括主、从节点处理时间各 5 个时钟周期,脉冲输入去颤的 3 个时钟周期。

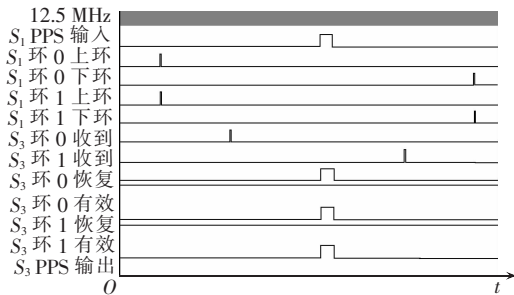


图 9 基于双环的 PPS 恢复时钟时序仿真

Fig.9 Simulative PPS rebuilding sequence based on dual-ring

图 10 是主节点的 PPS 输入和从节点恢复的 PPS 输出图。从图中可见,系统的准确 PPS 输出建立时间需要 4 个时钟周期。因为本设计中的脉冲自举输出需要 2 个条件:准确的脉冲周期和补偿值,这 2 个参数需要 1 个时钟周期获得。即 2 个时钟周期后,本设计中的脉冲产生电路才正常输出,主、从节点都需要 2 个时钟周期的建立时间,所以整个系统的建立时间为 4 个时钟周期。图 10 的右侧部分给出了源脉冲和恢复脉冲的上升沿时序关系。结果显示,可实现精确对齐。因为环延时采用本地时钟计数,考虑当计数为奇数时,本地时钟的解析度所引起的补偿值

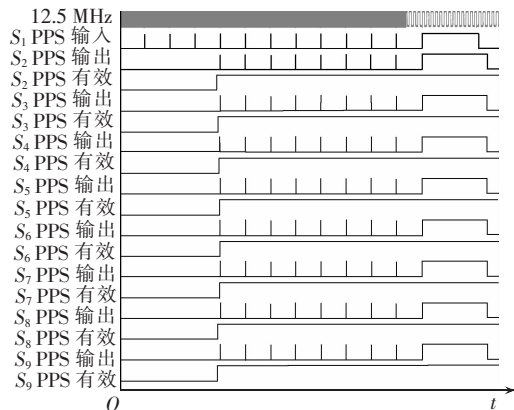


图 10 9 节点系统 PPS 恢复仿真结果时序图

Fig.10 PPS rebuilding sequence of 9-node simulation model

的误差不超过1个时钟周期。所以本设计从原理上可实现不超过1个时钟周期误差的恢复精度,即8 ns。

5 结论及展望

弹性分组环RPR因其在可靠性、实时性和经济性等方面的优势使其在未来数字化变电站过程总线中有着良好的应用前景。本文提出了一种基于RPR双环的秒脉冲分配方案,实现了数字化变电站的过程总线和同步校时网络的合并。新的秒脉冲分配方案消除了传输延迟的影响,秒脉冲的传输距离不再受限制,可以实现比传统GPS专用同步校时网络精度更高的秒脉冲同步网络;同时,同步校时网络和变电站过程总线复用信道,简化了同步校时网络的布线;另外,双环拓扑结构使同步校时网络具有更高的可靠性。基于本方案可以实现未来数字化变电站的数据采样网、GOOSE(Generic Object Oriented Substation Event)网和同步校时网络的三网合一。

RPR可以实现城域网,本文提出的基于RPR双环的秒脉冲分配方案与网络传输距离无关,所以该同步方案也为广域同步相量测量、广域保护、分布式发电条件下的配电网分布式保护、配电网自动化等领域提供了一种很好的同步测量技术选择。

参考文献:

- [1] 殷志良,刘万顺,杨奇逊,等. 基于IEC61850标准的过程总线通信研究及实现[J]. 中国电机工程学报,2005,25(8):84-89.
YIN Zhiliang,LIU Wanshun,YANG Qixun,et al. Research and implementation of the communication of process bus based on IEC61850[J]. Proceedings of the CSEE,2005,25(8):84-89.
- [2] 孙军平,盛万兴,王孙安. 新一代变电站自动化网络通信系统研究[J]. 中国电机工程学报,2003,23(3):16-19,145.
SUN Junping,SHENG Wanxing,WANG Sunan. Study of the new substation automation network communication system [J]. Proceedings of the CSEE,2003,23(3):16-19,145.
- [3] 孙一民,李延新,黎强. 分阶段实现数字化变电站系统的工程方案[J]. 电力系统自动化,2007,31(5):90-93.
SUN Yimin,LI Yanxin,LI Qiang. A grading solution for building digital station[J]. Automation of Electric Power Systems,2007,31(5):90-93.
- [4] 高翔. 数字化变电站应用技术[M]. 北京:中国电力出版社,2008:134-136.
- [5] 中华人民共和国国家发展与改革委员会. DL/T 860.5-2006 变电站通信网络和系统 第5部分:功能的通信要求和装置模型[S]. 北京:中华人民共和国国家发展与改革委员会,2006.
- [6] 谢黎,黄国方,沈健. 数字化变电站中高精度同步采样时钟的设计[J]. 电力系统自动化,2009,33(1):61-65.
XIE Li,HUANG Guofang,SHEN Jian. Design of high accuracy synchronous sampling clock in digital substations[J]. Automation of Electric Power Systems,2009,33(1):61-65.
- [7] 刘慧源,郝后堂,李延新,等. 数字化变电站同步方案分析[J]. 电力系统自动化,2009,33(3):55-58.
LIU Huiyuan,HAO Houtang,LI Yanxin,et al. Research on a synchronism scheme for digital substations [J]. Automation of Electric Power Systems,2009,33(3):55-58.
- [8] 胡巨,高新华. SNTP 对时方式在数字化变电站中应用[J]. 电力自动化设备,2009,29(3):143-145,148.
HU Ju,GAO Xinhua. Application of SNTP-based time synchronization in digital substation [J]. Electric Power Automation Equipment,2009,29(3):143-145,148.
- [9] 赵上林,胡敏强,窦晓波,等. 基于IEEE1588的数字化变电站时钟同步技术研究[J]. 电网技术,2008,32(21):97-102.
ZHAO Shanglin,HU Minqiang,DOU Xiaobo,et al. Research of time synchronization in digital substation based on IEEE1588 [J]. Power System Technology,2008,32(21):97-102.
- [10] 殷志良,刘万顺,杨奇逊,等. 基于IEEE1588实现变电站过程总线采样值同步新技术[J]. 电力系统自动化,2005,29(13):60-63.
YIN Zhiliang,LIU Wanshun,YANG Qixun,et al. A new IEEE 1588 based technology for realizing the sampled values synchronization on the substation process bus [J]. Automation of Electric Power Systems,2005,29(13):60-63.
- [11] 徐荣,龚倩,邓春胜,等. 电信级以太网[M]. 北京:人民邮电出版社,2009:188-190.

(责任编辑:汪仪珍)

作者简介:

朱国防(1975-),男,山东宁阳人,高级工程师,博士研究生,研究方向为分布式发电系统的保护与控制(E-mail: zhuguofang@gmail.com);

陆于平(1962-),男,江苏丹阳人,教授,博士研究生导师,研究方向为电力系统数字保护、智能设备与诊断、电力系统综合自动化等。

PPS synchronization based on RPR for digital substation

ZHU Guofang,LU Yuping

(School of Electrical Engineering,Southeast University,Nanjing 210096,China)

Abstract: For the high-precision synchronization defined in IEC61850 for the data sampled on process bus,a PPS(Pulse Per Second) synchronization scheme based on RPR(Resilient Packet Ring) is proposed for digital substation. In this scheme,there are the master RPR node,which receives the PPS source,and the slave RPR node,which outputs the rebuilt PPS. The reserved control code K28.6 in Ethernet physical coding layer is used to represent the uprising edge of PPS,which is simultaneously transferred with the preemptive priority in both RPRs and a backoff algorithm is applied to balance out the propagation delay. The tolerance of PPS rebuilding is analyzed and the hardware design of FPGA(Field Programmable Gate Array) with Verilog HDL is introduced. The results of Modelsim-based simulation indicate that,the rebuilt PPS precision is up to nanosecond. The scheme makes it possible to merger the process bus and time synchronization network together in digital substation.

This work is supported by the National Natural Science Foundation of China(NSFC)(50977012).

Key words: digital substation; resilient packet ring; time synchronization; PPS; FPGA