

基于电快速脉冲群发生器主电路的建模和设计

朱 武, 吴仕兵

(上海电力学院 电子与信息工程学院, 上海 200090)

摘要: 为了提高电快速瞬变脉冲群发生器输出波形的质量, 分析了脉冲群发生器主电路的工作原理, 建立了发生器波形形成电路的等效模型, 研究了等效电路储能电容充放电过程, 利用电网络分析法推导了高压脉冲波形的数学解析式。基于脉冲波形的时间特性, 确定主电路结构参数; 采用单一变量法和 Pspice 仿真研究脉冲峰值的幅值特性, 选取合适的陡化电容。考虑寄生参数对输出波形的影响, 采用方波控制开关的方法建立脉冲群主电路的模型, 实现脉冲群波形的输出仿真。在此基础上, 设计了电快速瞬变脉冲群发生器的主回路, 并搭建了脉冲波形测试平台。测试结果表明, 单个高压脉冲上升沿、半宽和脉冲幅值均符合 IEC61000-4-4 标准中的要求, 验证了主电路参数的合理性。

关键词: 电快速脉冲群发生器; 电网络分析; 结构参数; 单一变量法; Pspice 仿真; 试验; 模型

中图分类号: TM 133

文献标识码: A

DOI: 10.16081/j.issn.1006-6047.2015.06.024

0 引言

电快速瞬变脉冲群发生器模拟脉冲干扰信号用于检验电子设备抗瞬变脉冲的能力, 是电子产品脉冲抗扰度试验的重要设备。因此, 电快速瞬变脉冲群发生器在电子工业中得到广泛应用。电快速脉冲群发生器主电路输出波形性能的好坏对整个电快速瞬变脉冲群抗干扰度的试验效果至关重要。在 IEC61000-4-4 标准中给出了电压归一化情况下单个高压脉冲的要求, 高压脉冲波形的上升沿为 $5 \times (1 \pm 30\%) \text{ ns}$, 脉冲波形的半宽在 $50 \times (1 \pm 30\%) \text{ ns}$ 范围内, 当发生器设定电压为 U_p 时, 在 50Ω 负载上测量的输出电压应为 $0.5U_p(1 \pm 10\%)^{[1-2]}$ 。可查资料中缺乏对脉冲形成主电路的设计进行系统的研究论证^[3-6], 为适应试验标准的修订和补充^[7], 本文基于脉冲群发生器工作原理, 采用电网络分析方法, 建立主电路的数学模型, 确立发生器主电路的结构参数, 并考虑寄生参数对输出波形的影响, 系统地研究主电路结构参数和寄生参数对脉冲波形的影响。在此基础上设计合理的波形形成主电路, 通过搭建试验平台对脉冲波形进行测试, 对提高电快速瞬变脉冲群发生器输出波形的质量有重大意义。

1 建模过程

1.1 脉冲群主电路的工作原理

电快速瞬变脉冲群发生器主电路的原理如图 1 所示, 包括储能电路模块、放电开关 K、信号形成电

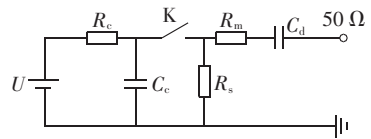


图 1 主回路原理图

Fig.1 Schematic diagram of main circuit

路模块和脉冲群输出模块。其中储能电路主要元件有充电电阻 R_c 和储能电容 C_c , 信号形成电路主要包括阻抗匹配电阻 R_m 、隔直电容 C_d 、脉冲持续时间形成电阻 R_s 。脉冲通过 50Ω 的同轴衰减器输出。

电快速瞬变脉冲群发生器的工作过程如下: 首先, 高压电源通过充电电阻对储能电容 C_c 进行充电, 一定时间之后, 放电开关 K 闭合, 储能电容 C_c 中的能量会通过脉冲形成电路进行释放, 在输出端口形成高压纳秒级的脉冲。当储能电容 C_c 中的能量释放一定时间之后, 放电开关 K 断开, 储能电容 C_c 停止释放能量, 高压电源对储能电容进行充电。在下次驱动信号作用下, 放电开关 K 再次闭合, 重复前述动作, 通过 50Ω 的同轴衰减器输出连续的高压脉冲群信号。

1.2 电快速脉冲群发生器等效电路及参数

电快速脉冲群发生器输出的高压脉冲上升沿为 5 ns , 脉冲半宽为 50 ns , 考虑高压线路和电子开关的寄生电感的作用, 本文建立的脉冲群发生器主电路等效电路模型如图 2 所示。为了简化模型, U_s 为电子开关之后即阻抗匹配电阻 R_m 前的电压值, 其中 L 为电子开关和线路的寄生电感^[8], 开关闭合前高压电源给电容充满电, 开关闭合后电容放电, 在电感 L 和脉冲形成电阻 R_s 的作用下, 形成纳秒级脉冲 U_s 。在理想状态下建立模型, 传输线路无分布电容, 负载对整体电路无影响, 开关闭合前电容充满电, C_c 两端电压 U_c 初始值为 U , U_s 初始值为 0 。

收稿日期: 2014-05-12; 修回日期: 2015-01-20

基金项目: 上海市教委科研创新重点项目 (11ZZ173); 上海市科技创新行动计划地方院校能力建设项目 (09160501700, 10110502200)

Project supported by Innovation Program of Shanghai Municipal Education Commission (11ZZ173) and Local Colleges and Universities of Shanghai Science and Technology Innovation Action Plan Construction Projects (09160501700, 10110502200)

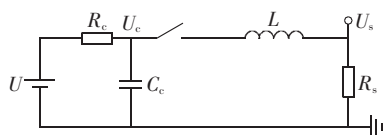


图 2 发生器等效电路

Fig.2 Equivalent circuit of generator

首先利用网络分析法建立时域下求解网络的微积分方程组如下:

$$\begin{cases} \frac{U_s}{R_s} = \frac{U - U_c}{R_c} - C_c \frac{dU_c}{dt} \\ U_c = \frac{L}{R_s} \frac{dU_s}{dt} + U_s \end{cases} \quad (1)$$

求解方程组(1)得到关于 U_s 的解析式:

$$\frac{U}{R_c} = \frac{L}{R_s} \frac{d^2 U_s}{dt^2} + C_c \frac{dU_s}{dt} + \left(\frac{1}{R_s} + \frac{1}{R_c} \right) U_s \quad (2)$$

将方程组两边取拉普拉斯变换,得到复变数 s 为自变量的象函数代数方程并对方程求解得 $U_s(s)$ 为:

$$U_s(s) = \frac{UR_s/(LC_c R_c)}{s^2 + \frac{R_s}{L}s + \left(\frac{1}{R_s} + \frac{1}{R_c} \right) \frac{R_s}{LC_c}} \quad (3)$$

对所求得的象函数取拉普拉斯反变换,得到输出波形的解析表达式:

$$U_s(t) = A(e^{-at} - e^{-bt}) \quad (4)$$

其中, $a+b = \frac{R_s}{L}$; $ab = \left(\frac{1}{R_s} + \frac{1}{R_c} \right) \frac{R_s}{LC_c}$; $A(b-a) = \frac{UR_s}{LC_c R_c}$ 。

$U_s(t)$ 具有双指数曲线的特征,与标准中的要求曲线特征相符。

IEC61000-4-4 标准规定了隔直电容 $C_d = 10$ nF, 确保脉冲群发生器的输出波形中没有直流分量, 隔离负载电路对脉冲群发生器工作的影响。标准中提出阻抗匹配电阻 R_m 为 50Ω , 决定了脉冲群发生器的输出阻抗。 C_c 、 L 、 R_s 和 R_c 配合决定了单个脉冲的上升沿和脉冲半宽, 单个脉冲能量由储能电容 C_c 决定, 文献[9]中提出在 2 kV 的高压电源下, 脉冲能量小于 4 mJ, 由

$$E = \frac{C_c U^2}{2} \quad (5)$$

得到储能电容 C_c 小于 2000 pF, 取 1200 pF。取电路中波形测试点前的电感 L 为 100 nH, 为了使电容快速充满电, R_c 为 150Ω 。标准中脉冲上升沿为 5 ns, 利用双曲线解析式(4), 由双曲线最大值处导数为 0 , 脉冲达到最大值时间为 5 ns, 即 $t_0 = 5$ ns, 由

$$\frac{dU_s(t_0)}{dt} = 0 \quad (6)$$

得到 $R_s \approx 159 \Omega$ 。

1.3 主电路模型的仿真

在求解出高压脉冲波形输出解析式和确定结构参数的基础上, 本文在 Pspice 中建立仿真模型, 其中

充电电阻 R_c 为 150Ω , 储能电容 C_c 为 1200 pF, 阻抗匹配电阻 R_m 为 50Ω , 隔直电容 C_d 为 10 nF, 脉冲持续时间形成电阻 R_s 为 159Ω , 直流电源元件提供的直流电压为 2000 V, 方波输出源和电压控制开关构成程控开关。为保证高压电源通过 R_c 给电容 C_c 充满电, 设置开关在 1000 ns 时第一次闭合, 模拟负载阻抗 R_{di} 为 50Ω 。在 50Ω 负载上测量输出波形如图 3 所示, 脉冲幅值为 918.27 V, 上升沿达到 5 ns, 脉冲半宽为 51 ns, 脉冲波形的时间特性符合标准的要求。

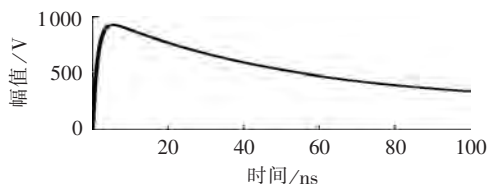


图 3 主电路仿真图

Fig.3 Simulative curve of main circuit

2 主电路模型的优化

2.1 脉冲幅值特性的优化

在建模过程中, 确定了电路的结构参数, Pspice 仿真表明时间特性符合 IEC61000-4-4 标准的要求。仿真中输出电压为 918.27 V, 与标准中理论值相对误差为 8.17% 。为了使输出端电压更符合标准, 采用单一变量法, 其他结构参数不变, 在放电开关后面并联陡化电容^[10-11]提高脉冲幅值, 与实际应用相对应, 陡化电容 C_p 分别取 10 pF、 100 pF 和 1000 pF, 仿真结果如图 4 所示。从结果可知, 当陡化电容为 10 pF 时, 幅值和波形与未置陡化电容时基本相同, 当陡化电容为 100 pF 和 1000 pF 时幅值分别增大到 1.2 kV 和 1.6 kV, 波形半宽分别减小为 35 ns 和 28 ns。由此可知, 陡化电容的设置会影响脉冲幅值的大小, 陡化电容越大, 幅值增加越多, 同时脉冲半宽有所减小。

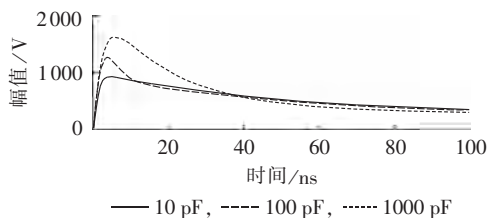


图 4 陡化电容仿真图

Fig.4 Simulative curve for different sharpening capacitances

在电压设定值为 2000 V 的情形下, 经多次仿真取最优陡化电容为 31.7 pF, 高压脉冲峰值为 1000.2 V, 同时脉冲上升沿为 4.1 ns, 脉冲半宽为 54 ns, 均符合标准要求。

确定陡化电容后, 采用单一变量法保持电路参数不变, 改变发生器电压设定值, 仿真结果如图 5 所示, 波形的特征参数如表 1 所示。从仿真结果显示,

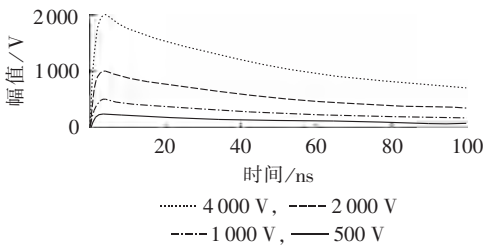


图 5 不同电压输出脉冲波形图

Fig.5 Waveform of output pulse for different voltages

表 1 脉冲特征参数

Table 1 Characteristic parameters of pulse for different voltages

电压设定值/V	脉冲峰值/V	峰值时间点/ns	脉冲半宽/ns
4000	2000.60	5.15	54
2000	1000.30	5.15	56
1000	500.15	5.15	59
500	250.08	5.15	57

脉冲峰值与电压设定值成线性关系,脉冲上升沿基本不变,脉冲半宽的变化也在标准要求范围内。

因而在实际设计电路中,陡化电容的设置要综合考虑陡化电容大小对波形幅值特性和时间特性的影响。

2.2 寄生电感对脉冲波形的影响

脉冲群信号发生器需要输出稳定的纳秒级脉冲波,就要对发生器的结构参数和寄生参数进行严格的选取。标准中脉冲上升沿时间为 $t=5\text{ ns}$,根据电快速瞬变脉冲信号的频谱宽度表达式(7)得到脉冲的频谱宽度约为 63.5 MHz 。

$$f=\frac{1}{\pi t}\approx 63.49\times 10^6\text{ (Hz)}\tag{7}$$

传送脉冲的导线较长,就可能导致高频成分溢出。一旦有信号溢出,传送的脉冲就会发生畸变。而且所有导体都是感性的,在高频率的情况下,非常小的一段导线或者电路板上线路的寄生电感都有可能造成很大的影响^[12-13]。考虑到电子元件在电路中位置对波形输出的影响,假设高压放电主回路的导线在高频高压下形成的寄生电感只存在于负载的前后,且取值为 200 nH ,在 Pspice 仿真中分别在负载前、后置电感元件 L_1 和 L_2 ,仿真效果如图 6 所示。

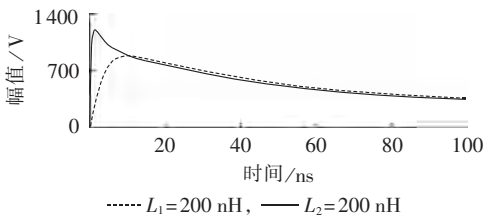


图 6 模拟电感仿真图

Fig.6 Simulative curve for different inductances

从仿真结果图可知,线路寄生电感对脉冲半宽基本没有影响,负载前置的电感使脉冲波峰变平缓,

负载后置电感使波形更陡峭。总体而言,线路电感对脉冲半宽基本没有影响,主要影响了脉冲的上升沿时间。因此,设计高压主回路时传送高频脉冲导线的长度要尽可能的短,实际应用中直接使用 PCB 内嵌导体连接,减小电感影响。

电路设计中影响寄生电感的主要因素是电路板内嵌导体的几何尺寸,设带状导体模型是一个长方体。则带状导体电感量如下式所示^[14]:

$$L=\frac{u_0\alpha\left(\ln\frac{2l}{w+h}+0.5\right)}{2\pi}\tag{8}$$

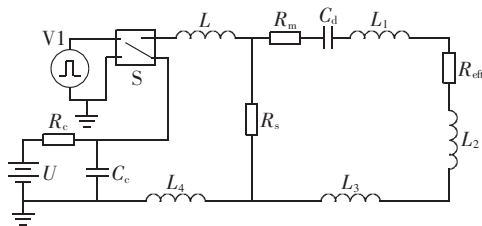
其中, u_0 为真空磁导率; l 、 w 、 h 分别为导体长、宽、高。经过实际测量所得 PCB 内嵌连接导体电感参数如表 2 所示。

表 2 PCB 内嵌导体线参数

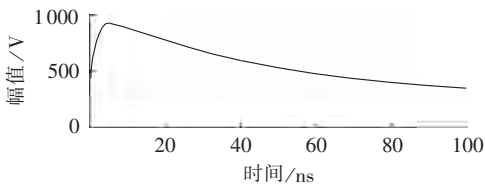
Table 2 Parameters for different embedded conductor lines of PCB

l/mm	w/mm	h/mm	L/nH
5	3	0.035	1.8
15	10	0.035	5.2
15	10	0.035	5.2
35	15	0.035	15

为了研究实际线路寄生电感对脉冲群发生器输出波形的影响,在 Pspice 软件中进行仿真研究。仿真模型如图 7(a)所示, L_1 — L_4 为线路寄生电感,取表 2 所计算的值, R_{eff} 为模拟负载。仿真结果如图 7(b)所示。



(a) Pspice 仿真线路电感模型图



(b) 脉冲波形图

图 7 线路电感仿真

Fig.7 Simulation of circuitry inductance

脉冲形成主回路的内嵌导体寄生电感对波形影响不大,采用内嵌导体线连接的方式设计的主回路仿真输出的高压波形符合标准要求。

2.3 电快速瞬变脉冲群的实现

电快速瞬变脉冲群抗扰度试验机理是基于连续的脉冲干扰序列对受试设备的累积充电效应,为了达

到连续的脉冲群序列,本文在 Pspice 建模中使用 PWM 电压控制开关(PWM 脉冲源对应图 7 中的 V1;电压控制开关对应图 7 中 S)。

开关在 PWM 源的控制下有序地闭合与导通,储能电容有序地充放电,在脉冲形成电路的作用下形成高压脉冲群,如图 8 所示。

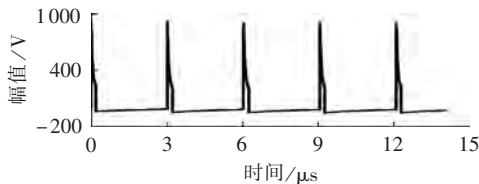


图 8 脉冲群仿真图
Fig.8 Simulative pulse train

3 主电路的设计与试验

综合考虑 IEC61000-4-4 标准的要求、实际元件的选择和对实际输出波形的优化^[15-16],设计的主电路见图 9。其中, R_1 为充电限流电阻,控制高压电源对储能电容的充电速度,限制回路电流;电容 $C_1—C_6$ 为波形发生电路的主电容,采用瓷片电容,具有高频特性好、频率一致性较好等特点,其大小决定了单个脉冲的能量;波形形成电阻 R_3 与储能电容相配合,决定了脉冲的形状;电容 C_7 和 R_2 组成积分电路,让波形前沿变缓,控制前沿参数。

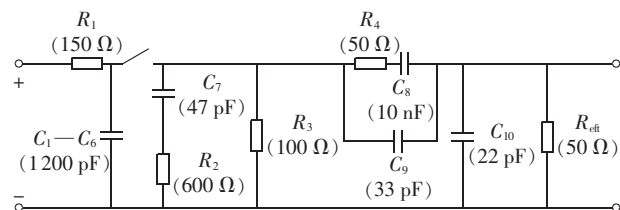
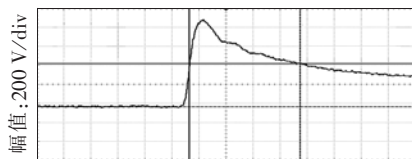


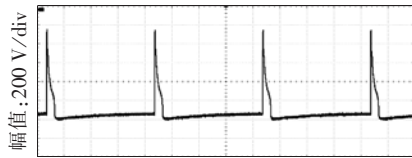
图 9 主电路设计图
Fig.9 Design of main circuit

C_9 和 R_4 的组合主要有 2 个作用:一是阻抗匹配;二是隔直作用,串接在电路中起微分作用。 C_{10} 并接在波形回路输出极起积分作用,抬高波形输出尾部,增加波形能量以加强信号的干扰强度。因为脉冲群发生器产生波形为高压纳秒级脉冲,故所采用的电阻和电容要求相对较高。电阻值的大小应与电压、频率无关,寄生电感以及分布电容都要尽可能小。本设计中采用金属膜电阻,具有固有电感小、高频响应好等优点;电容在满足耐压的条件下,固有电感要尽可能的小,本设计中采用无感电容。

基于脉冲群发生器的主电路的模型,设计高压主回路 PCB 并进行脉冲波形测试试验。在 2000 V 的供电情形下,示波器测量脉冲曲线如图 10 所示,单个脉冲波峰值为 956 V,脉冲上升沿为 4.8 ns,半宽为 41.0 ns,脉冲群下降沿有负值的跳变,与理论仿真



(a) 单个高压脉冲图



(b) 高压脉冲群图

图 10 主电路试验图
Fig.10 Test of main circuit

相符,均符合技术标准的要求。

4 结论

基于数学分析方法建立了脉冲群发生器主电路模型,并研究寄生参数对脉冲的影响。在此基础上结合 Pspice 仿真结果和实际电路需要,完成主电路的设计,并通过主回路试验进行结构参数验证,主电路输出波形上升沿达到 4.8 ns,脉冲半宽达到 41.0 ns,脉冲波峰幅度参数满足标准 IEC61000-4-4 的技术要求。电快速脉冲群发生器主电路的建模和设计是发生器总体设计的基础,同时为研究具有更快前沿的脉冲群发生器提供了设计经验。

参考文献:

- [1] 全国无线电干扰标准化技术委员会,全国电磁兼容标准化技术委员会. 电磁兼容标准汇编[M]. 北京:中国标准出版社,2002:6-9.
- [2] 王尧,李奎,郭志涛,等. 智能漏电断路器抗电快速瞬变脉冲群干扰研究[J]. 电力自动化设备,2012,32(4):129-133.
WANG Yao,LI Kui,GUO Zhitao,et al. Electrical fast transient/burst interference of intelligent residual-current-operated circuit breaker[J]. Electric Power Automation Equipment,2012,32(4):129-133.
- [3] 陈锐,石立华,李炎新,等. 程控高压纳秒级电磁脉冲源设计[J]. 安全与电磁兼容,2012(1):64-68.
CHEN Rui,SHI Lihua,LI Yanxin,et al. Design of a program controlled high-voltage nanosecond pulse generator[J]. Safety and Electromagnetic Compatibility Magazine,2012(1):64-68.
- [4] 陈连启. 纳秒大幅度快速脉冲发生器的设计[J]. 安全与电磁兼容,2004,66(5):33-35.
CHEN Lianqi. Design of nanosecond high-amplitude pulse generator [J]. Safety and Electromagnetic Compatibility Magazine,2004,66(5):33-35.
- [5] IEC Technical Committee TC77. IEC61000-4-4 ElectroMagnetic Compatibility(EMC). Part 4-4:testing and measurement techniques-electrical fast transient/burst immunity test[S]. Geneva,Switzerland: IEC,1995.
- [6] KER M D,LIN W Y,YEN C C,et al. New transient detection circuit for Electrical Fast Transient(EFT) protection design in dis-

- play panels [C]//2010 IEEE International Conference on IC Design and Technology(ICIDT). [S.l.]:IEEE,2010:51-54.
- [7] KUNKEL H,KLEZAR S. Electric Fast Transients(EFT):the revision of IEC61000-4-4[C]//8th International Conference on Electromagnetic Interference and Compatibility. Madras,India:[s.n.], 2003:403-408.
- [8] 唐正明,章三妹,朱峰. 一种纳秒前沿高压脉冲源的设计方案[J]. 西华师范大学学报:自然科学版,2012,33(3):299-303.
TANG Zhengming,ZHANG Sanmei,ZHU Feng. A designing method of nanosecond high-voltage pulse generator[J]. Journal of China West Normal University:Natural Sciences,2012,33(3):299-303.
- [9] CERRI G,de LEO R,PRIMIANI V M. Electrical fast-transient test: conducted and radiated disturbance determination by a complete-source modeling[J]. IEEE Transactions on Electromagnetic Compatibility,2001,43(1):37-44.
- [10] 钟佐华,许道展,王铁奎,等. 动态电路的时域分析[M]. 北京:知识出版社,1990:125-179.
- [11] 谭坚文,石立华,李炎新,等. 快前沿纳秒高压脉冲源的开关及实验研究[J]. 强激光与粒子束,2004,16(11):1434-1436.
TAN Jianwen,SHI Lihua,LI Yanxin,et al. Development and experimental research on the fast rise time EMP generator[J]. High Power Laser and Particle Beams,2004,16(11):1434-1436.
- [12] MCCONNELL R. Amplitude and energy spectra of transient test waveforms[C]//IEEE International Symposium on Electromagnetic Compatibility. Montreal,Canada:IEEE,2001:243-248.
- [13] 王玉峰,李立伟,邹积岩,等. 纳秒级上升时间的高压脉冲群电源[J]. 电力系统自动化,2006,30(22):96-99.
WANG Yufeng,LI Liwei,ZOU Jiyan,et al. Nanosecond-rise time high-voltage electrical fast transient/burst generator[J]. Automation of Electric Power Systems,2006,30(22):96-99.
- [14] 陈名,孙旭东,黄立培. PCB 导体电感的简化计算方法[J]. 电工电能新技术,2009,28(3):45-49.
CHEN Ming,SUN Xudong,HUANG Lipei. A simplification method to calculate inductance of PCB conductor[J]. Advanced Technology of Electrical Engineering and Energy,2009,28(3):45-49.
- [15] ZHAI Xiaoshe,WANG Jianhua. Transfer function and network synthesis of electrical fast transient/burst generator based on latent-roots method[J]. IEEE Transactions on Electromagnetic Compatibility,2010,52(4):790-796.
- [16] 翟小社,耿英三,王建华,等. 电快速瞬变脉冲群抗扰度试验发生器的建模[J]. 中国电机工程学报,2010,30(6):123-127.
ZHAI Xiaoshe,GENG Yingsan,WANG Jianhua,et al. Modeling of pulse generator in electrical fast transient/burst test[J]. Proceedings of the CSEE,2010,30(6):123-127.

作者简介:



朱 武

朱 武(1969—),男,湖北随州人,教授,博士研究生导师,博士,主要从事电磁计量、交直流转换技术和电力电缆故障诊断的研究;

吴仕兵(1988—),男,安徽六安人,硕士研究生,主要研究方向为电磁试验测试技术(E-mail:wushibing1988@126.com)。

Modeling and design of main circuit for electrical fast transient pulse/burst generator

ZHU Wu,WU Shibing

(Electronic and Information Engineering College,Shanghai University of Electric Power,Shanghai 200090,China)

Abstract: In order to improve the output waveform quality of electrical fast transient pulse/burst generator, the working principle of its main circuit is analyzed,the equivalent circuit of pulse train generator is established,the charge/discharge process of energy-storage capacitor in equivalent circuit is studied,and the electric network analytical method is applied to deduce the mathematical analytical formula for high voltage pulse waveform. The parameters of main circuit are determined based on the time characteristics of pulse waveform and the simple variable method and Pspice simulation are applied to study the amplitude characteristics of pulse peak for the appropriate selection of sharpening capacitance. The effect of parasitic parameters on the output waveform is considered and the square-wave controlled switching is used in the main circuit model of pulse train to simulate the output waveforms of pulse train,based on which,the main circuit of electrical fast transient pulse/burst generator is designed and the test platform is built. Test results show that,the rising edge,half width and amplitude of single high-voltage pulse all meet the requirements of IEC61000-4-4,verifying the rationality of main circuit parameters.

Key words: electrical fast transient pulse/burst generator; electric network analysis; structural parameters; simple variable method; Pspice simulation; testing; models