

通用高精度时钟同步单元的设计方案

张园园¹, 吴宁¹, 周磊², 周芳¹, 葛芬¹

(1. 南京航空航天大学 电子信息工程学院, 江苏 南京 211106; 2. 扬州大学 信息工程学院, 江苏 扬州 225127)

摘要: 根据对时钟同步装置守时误差的分析, 提出了一种通过降低测量误差进一步提高守时精度的同步时钟装置设计方案。该方案利用时钟内插方法降低全球定位系统(GPS)秒脉冲周期测量误差, 对秒脉冲均值进行余数补偿消除均值计算中的引入误差, 从而提高同步时钟装置的守时精度。根据所提方案设计了基于AMBA APB总线的通用高精度同步时钟知识产权(IP)核, 并利用ARM Cortex-M0内核在现场可编程门阵列(FPGA)中构建了具有高精度同步时钟IP的片上系统(SoC)进行测试验证。测试结果表明, 基于所提方案设计的通用高精度同步时钟IP核所生成的同步时钟精度在20 ns以内, 守时误差在每小时300 ns以内。

关键词: 同步时钟; 守时; 时钟内插; 余数补偿; 通用; IP核; 片上系统

中图分类号: TM 761

文献标识码: B

DOI: 10.16081/j.issn.1006-6047.2018.12.032

0 引言

高精度同步时钟装置在电力系统故障录波、靶场时统和地震监测等诸多测量系统中得到了广泛的应用^[1-4]。该类装置通常使用全球定位系统(GPS)接收机作为同步时钟参考源, 当GPS信号受到干扰而不稳定时, 使用高精度晶振进行本地守时^[5]。目前, 对于同步时钟装置的研究主要集中在对GPS秒脉冲随机误差和晶振频率漂移的抑制^[6]。文献[7]中利用时间差预设补偿法产生精度为300 ns的同步时钟信号。文献[8]中使用均值法抑制GPS秒脉冲的随机误差, 产生精度为100 ns、守时漂移为500 ns/h的同步时钟信号。文献[9-12]根据数字锁相环原理, 通过对GPS秒脉冲的跟踪锁定, 在本地维持一个接近理想秒脉冲的同步信号, 从而实现高精度同步时钟信号的产生。现有的同步时钟装置设计方案在精度上已达到较高的水平, 但仍存在着一些不足, 如通过较高的现场可编程门阵列(FPGA)主频提高同步时钟精度, 导致所设计的系统无法满足时序约束, 抗干扰能力低, 难以实用^[13]; 采用FPGA+CPU的硬件设计架构, 增加了系统的硬件复杂度和设计成本, 缺乏通用性。

近年来, 随着PULPino、Rocket等一批性能优异的开源处理器的出现以及ARM公司对Cortex-M0和Cortex-M3内核的免授权处理, 基于开源处理器在FPGA中定制片上系统(SoC)已经成为嵌入式系统一种新的设计模式^[14]。这种设计可以融合FPGA和CPU各自的优势并有利于减小系统面积。同时,

当芯片需求较大时, 可直接将现有设计投入供专门应用的集成电路(ASIC)的生产, 进一步提高性能。

本文首先通过对同步时钟装置守时误差的分析研究, 针对装置中的测量误差, 提出一种可进一步提高守时精度的优化设计方案。该方案使用内插时钟和多周期测量的方法降低GPS秒脉冲的周期测量误差, 对均值计算过程进行余数补偿, 消除计算误差, 最终实现高精度同步时钟的生成。同时, 根据基于开源处理器定制SoC的设计模式, 将所设计的同步时钟单元进行知识产权(IP)化, 设计并实现一个具有APB总线接口的同步时钟IP核, 其能够灵活地挂载在各个处理器内核上, 使设计的同步时钟单元可应用于电力故障录波、地震监测等诸多系统, 从而增加了同步时钟单元的通用性, 避免了重复开发。

1 同步时钟守时误差分析

当GPS接收机失步后, GPS秒脉冲的周期均值成为守时系统的唯一先验信息, 其与标准秒脉冲的误差将直接决定系统的守时精度。设GPS接收机失步前GPS秒脉冲周期均值和理想秒脉冲之间存在大小为 δ 的偏差, 则守时1 h后守时脉冲的误差为 3600δ 。由秒脉冲周期均值的计算原理可知, 当硬件平台选定后, 偏差 δ 受GPS秒脉冲自身误差 Δ_{gps} 、周期测量误差 Δ_{cal} 、均值计算误差 Δ_{avr} 和均值求取长度 L 的联合影响。

1.1 平台选型分析

高精度同步时钟装置选用不同的平台架构将对装置的精度、体积和通用性产生较大影响。目前, 高精度同步时钟装置的实现平台主要有CPU、FPGA+CPU、FPGA和FPGA+软核4种。基于CPU的时钟同步装置由于CPU执行指令的不确定性, 增加了时间测量的误差; 基于FPGA开发的同步时钟装置虽然精度较高但通用性差^[15]; 采用FPGA+CPU架构

收稿日期: 2017-08-17; 修回日期: 2018-11-19

基金项目: 国家自然科学基金资助项目(61376025, 61774086); 江苏省自然科学基金资助项目(BK20160806)

Project supported by the National Natural Science Foundation of China(61376025, 61774086) and the Natural Science Foundation of Jiangsu Province(BK20160806)

设计的同步时钟装置,系统的硬件复杂度和设计成本都较高;FPGA+软核架构则充分融合了 FPGA 的高性能和 CPU 的通用性,能够以较小的成本实现高精度时钟同步,本文设计的同步时钟装置即采用该结构。

1.2 GPS 秒脉冲误差分析

GPS 接收机生成的秒脉冲信号与标准秒脉冲之间存在一定的随机误差 Δ_{gps} ,该误差服从正态分布^[15],对于 1 个 N 点误差样本有:

$$\Delta_{\text{gps}} \sim N(0, \sigma_{\text{gps}}^2) \quad (1)$$

其中,标准差 σ_{gps} 与所使用的 GPS 接收机有关^[16],通用型 GPS 接收机的 σ_{gps} 在 40 ns 左右,而部分授时型 GPS 接收机的 σ_{gps} 可低至 20 ns 左右,如 NEO-6M 型 GPS 接收机的 σ_{gps} 为 30 ns,本系统采用的 UM220-III GPS 接收机的 σ_{gps} 为 20 ns。

GPS 秒脉冲的随机误差将会影响系统对晶振频率的估计,从而导致在守时阶段同步时钟产生较大的偏移。

1.3 测量误差分析

同步时钟装置测量误差主要由 GPS 秒脉冲周期测量误差和秒脉冲周期均值计算误差两部分构成。由于 GPS 接收机输出的秒脉冲相对于 FPGA 时钟为一个异步信号,如果直接使用 FPGA 时钟对 GPS 秒脉冲信号进行边沿检测,那么会产生一个服从 $U(0, T)$ 分布的边沿检测误差。根据均匀分布的和差公式可知,该测量方法引入的 GPS 秒脉冲周期测量误差概率密度函数为:

$$f(x) = \begin{cases} \frac{1}{T^2}x + \frac{1}{T} & x \in (-T, 0) \\ -\frac{1}{T^2}x + \frac{1}{T} & x \in (0, T) \end{cases} \quad (2)$$

其中, T 为 FPGA 时钟周期。根据 GPS 秒脉冲周期测量误差的概率密度可计算 GPS 秒脉冲周期测量误差的标准差 σ_{cal} 为:

$$\sigma_{\text{cal}} = \sqrt{\frac{T^2}{12}} \times 2 = \frac{\sqrt{6}}{6} T \quad (3)$$

GPS 秒脉冲周期均值计算单元是同步时钟装置的重要组成部分,用于计算 GPS 秒脉冲信号周期的算术平均值,减少秒脉冲周期随机误差对守时精度的影响。已有设计通常对均值计算的余数进行四舍五入,这在 GPS 秒脉冲周期均值中引入了服从在 $(-0.5/T, 0.5/T)$ 上均匀分布的测量误差。该误差的标准差 σ_{avr} 为:

$$\sigma_{\text{avr}} = \sqrt{\frac{(1/T)^2}{12}} = \frac{\sqrt{3}}{6T} \quad (4)$$

在目前的同步时钟装置设计过程中, GPS 秒脉

冲周期测量误差和秒脉冲周期均值计算误差通常会被忽略,但当守时精度不断提高后, GPS 秒脉冲周期测量误差在守时误差中所占比重逐渐升高,已成为制约同步时钟装置守时精度进一步提高的一大阻碍。

1.4 守时误差分析

根据统计学中的中心极限定理,从一个方差为 σ^2 的样本容器中以长度 L 进行均值求取,当 L 足够大时样本的算数平均值近似满足方差为 σ^2/L 的正态分布,可得到 δ 的标准差 σ_{keep} 如式(5)所示。

$$\sigma_{\text{keep}} = \sqrt{\frac{\sigma_{\text{gps}}^2 + \sigma_{\text{cal}}^2}{L} + \sigma_{\text{avr}}^2} \quad (5)$$

将 1.1 与 1.2 节中计算得到的各误差结果代入式(5),得到:

$$\sigma_{\text{keep}} = \sqrt{\frac{\sigma_{\text{gps}}^2 + T^2/6}{L} + \frac{1}{12T^2}} \quad (6)$$

2 同步时钟单元优化设计与实现

2.1 守时精度优化方案

根据对同步时钟守时误差的分析,从降低 GPS 秒脉冲周期测量误差的角度,提出了一种优化设计方案以提高同步时钟装置的守时精度。该方案使用长时间均值求取抑制 GPS 秒脉冲随机误差 Δ_{gps} ,通过内插时钟来降低秒脉冲测量时的量化误差 Δ_{cal} ,同时修正均值余数以消除计算误差 Δ_{avr} 。

为了降低 GPS 秒脉冲周期测量量化误差,文献[9]中将 FPGA 的主频提高至 500 MHz,过高的时钟频率可能导致 FPGA 时序无法收敛,设计的系统稳定性较差,很难实际应用于电力故障录波等对稳定性要求极高的测量系统。本文从实际应用角度出发,采用 8 倍时钟内插对 GPS 秒脉冲进行周期测量,使得 GPS 秒脉冲边沿检测误差服从 $U(0, T/8)$ 分布。同时以 8 s 为间隔进行多周期测量,将 GPS 秒脉冲边沿检测误差均分至 8 个周期。根据 1.2 节中的推导,经过该方法处理后的 GPS 秒脉冲周期测量误差的标准差 σ'_{cal} 如式(7)所示。

$$\sigma'_{\text{cal}} = \frac{\sqrt{\frac{(T/8)^2}{12}} \times 2}{\sqrt{8}} = \frac{\sqrt{3}}{96} T \quad (7)$$

由于在周期测量过程中对秒脉冲的周期进行了以 8 s 为单位的平均值计算,所以 GPS 秒脉冲随机误差的标准差变为:

$$\sigma'_{\text{gps}} = \frac{\sigma_{\text{gps}}}{\sqrt{8}} = \frac{\sqrt{2}}{4} \sigma_{\text{gps}} \quad (8)$$

将式(7)、(8)代入式(5),得到优化后 δ 的标准

差 σ'_{keep} 如式(9)所示。

$$\sigma'_{\text{keep}} = \sqrt{\frac{(\sigma'_{\text{gps}})^2 + (\sigma'_{\text{cal}})^2}{L} + 0} = \sqrt{\frac{\sigma_{\text{gps}}^2 / 8 + T^2 / 3\ 072}{L}} \quad (9)$$

结合 1.4 节分析,将所提出的优化方案与文献[8]中的均值法进行对比。文献[8]中均值法的步骤如下:

a. 对 GPS 秒脉冲周期测量值进行 16 个周期的均值计算;

b. 将步骤 a 计算得到的均值与最新一个 GPS 秒脉冲周期求平均;

c. 将步骤 b 得到的计算结果进行 L 次平均,作为 GPS 失步后的系统秒脉冲周期。

由文献[8]均值法求得的 GPS 秒脉冲周期标准差 $\sigma'_{\text{avr_cal}}$ 如式(10)所示。

$$\sigma'_{\text{avr_cal}} = \sqrt{\frac{1}{16} \frac{T^2}{6} + \frac{T^2}{6}} = \frac{\sqrt{5}}{8} T \quad (10)$$

GPS 秒脉冲随机误差的标准差可表示为:

$$\sigma'_{\text{avr_gps}} = \sqrt{\frac{1}{16} \frac{\sigma_{\text{gps}}^2}{6} + \frac{\sigma_{\text{gps}}^2}{6}} = \frac{\sqrt{34}}{8} \sigma_{\text{gps}} \quad (11)$$

由式(10)、(11)可得到均值法的标准差 $\sigma'_{\text{avr_keep}}$ 如式(12)所示。

$$\sigma'_{\text{avr_keep}} = \sqrt{\frac{(\sigma'_{\text{avr_gps}})^2 + (\sigma'_{\text{avr_cal}})^2}{L} + \frac{1}{12T^2}} = \sqrt{\frac{17}{32L} \sigma_{\text{gps}}^2 + \frac{25}{64L} T^2 + \frac{1}{12T^2}} \quad (12)$$

对本文所提出的优化方案、传统守时方案和文献[6]中的均值法方案进行守时性能对比,为便于直观比较,各表达式中的 GPS 秒脉冲误差的标准差设为 20 ns,时钟周期 T 设为 10 ns,均值长度 L 设为 8 192 s,对比结果如表 1 所示。

表 1 守时精度对比表

Table 1 Comparison of time-keeping accuracy

方案	标准差表达式	标准差值/ns	1 h 后漂移/ns
传统守时方案	$\sqrt{\frac{\sigma_{\text{gps}}^2 + T^2 / 6}{L} + \frac{1}{12T^2}}$	0.227 4	818.6
均值法方案	$\sqrt{\frac{34\sigma_{\text{gps}}^2 + 25T^2}{64L} + \frac{1}{12T^2}}$	0.177 6	639.4
本文优化方案	$\sqrt{\frac{\sigma_{\text{gps}}^2 / 8 + T^2 / 3\ 072}{L}}$	0.078 2	281.3

由表 1 可知,本文设计的优化方案可在较大程

度上提高同步时钟装置的守时精度,在 GPS 失步后的 1 h 内,理论上仍可维持 300 ns 的时钟精度。

2.2 同步时钟单元设计

根据本文提出的守时优化方案,设计了一种高精度同步时钟产生单元,其结构如图 1 所示。

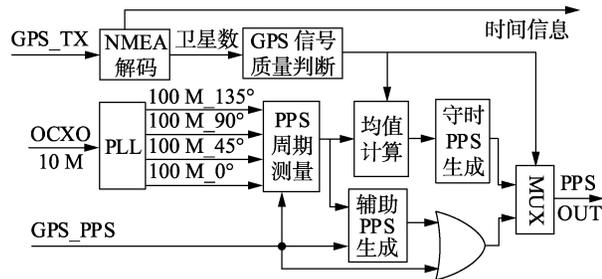


图 1 高精度同步时钟单元结构

Fig.1 Structure of synchronous clock unit with high precision

图 1 所示的单元以恒温晶振和 GPS 接收机作为参考时钟,最终可输出高精度秒脉冲信号和解码 GPS 得到的时间信息。

2.2.1 GPS 秒脉冲周期测量模块

本文充分利用了 FPGA 中锁相环的相位设定功能,采用时钟内插方法提高对 GPS 秒脉冲周期的测量精度。针对 GPS 秒脉冲进行 8 倍时钟内插周期测量的原理如图 2 所示。

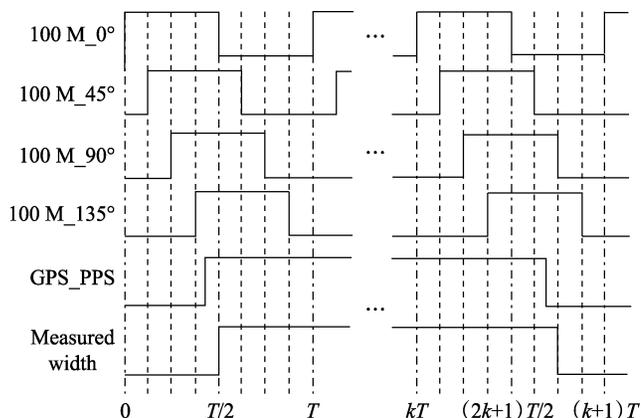


图 2 周期测量示意图

Fig.2 Schematic diagram of cycle measurement

利用锁相环产生 4 路相位差为 45°、占空比为 50%的时钟信号,使用 4 路时钟的上下边沿分别对 GPS 秒脉冲信号进行采样,实现最大误差为 $T/4$ 的周期测量。本系统的时钟周期 T 为 10 ns,即秒脉冲周期测量引入的最大量化误差为 2.5 ns。

为了进一步降低 GPS 秒脉冲周期测量量化误差对精度的影响,同时抑制 GPS 秒脉冲信号本身的随机误差,在周期测量时以 8 个 GPS 秒脉冲为单位进行多周期测量,则可将 2.5 ns 的量化误差均分至 8 个周期,最大测量误差降低至 312.5 ps。使用该方法引入的量化误差已远小于 GPS 秒脉冲本身存在的随机误差,能够在较大程度上提高 GPS 秒脉冲周期

的测量精度。

2.2.2 周期均值计算模块

同步时钟单元中以 8 192 s 为长度对采集的 GPS 秒脉冲周期进行算数平均值的计算。由于测得的秒脉冲周期以 32 位无符号数进行保存,所以使用 45 位加法器进行 8 192 次累加即可实现均值求取,其中累加结果高 32 位为均值整数部分,低 13 位为均值小数部分。该方法占用逻辑资源小且计算精度高。

2.2.3 同步时钟信号生成

同步时钟单元共有 GPS 秒脉冲、辅助秒脉冲和守时秒脉冲 3 个同步时钟信号,系统根据 GPS 是否失步选取其中 1 个信号作为高精度同步时钟信号进行输出。GPS 接收机工作正常时直接将 GPS 秒脉冲信号作为同步时钟进行输出;当 GPS 接收机已失步但尚未被检测到时,辅助秒脉冲信号将作为同步时钟输出;系统检测到 GPS 失步时系统进入守时状态,输出守时秒脉冲信号。守时秒脉冲生成模块结构如图 3 所示。

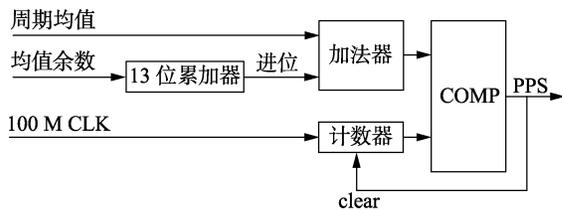


图 3 守时秒脉冲模块结构

Fig.3 Structure of time-keeping pulse module

守时秒脉冲生成模块以均值计算模块得到的前 8 192 个 GPS 秒脉冲的周期均值为基准对锁相环输出的 100 M 时钟进行计数,从而产生守时秒脉冲信号。同时,对均值计算产生的余数进行累加,利用累加进位信号对阈值进行补偿,从而消除均值除法计算产生的误差。

2.3 基于 APB 总线的通用同步时钟 IP 核设计

同步时钟装置被广泛应用于电力录波、靶场时统和地震监测等系统,本文对同步时钟生成功能进行 IP 化,使用标准的片上总线作为 IP 核的交互配置通道,使得设计的高精度同步时钟单元具有良好的可重用性,能够满足多种系统的时钟同步需求。

基于高精度同步时钟单元设计的具有 APB 总线接口的 IP 核可直接应用于具有 APB 总线的 SoC,并可通过桥接挂载在 AHB 和 AXI 等片上总线。所设计的高精度同步时钟 IP 核整体结构如图 4 所示。

同步时钟 IP 核由高精度同步时钟单元、系统时间生成单元、SoC 中断生成单元和总线接口单元组成。系统时间生成单元根据提取到的 GPS 时间信息和每秒脉冲数 (PPS) 信号维持稳定的系统时间。高精度同步时钟单元为系统提供脉宽可配置的高精

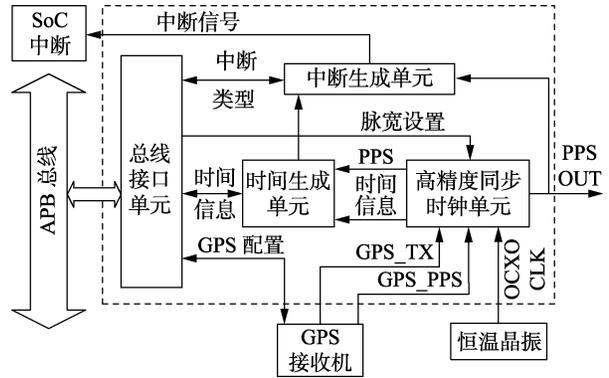


图 4 高精度同步时钟 IP 核结构图

Fig.4 Structure of synchronous clock IP core with high precision

度脉冲信号,当 GPS 信号丢失时维持同步脉冲信号的精度。中断生成单元可根据系统配置产生秒中断、分中断、时中断和闹铃中断。总线接口单元支持 APB 总线,系统可对挂载在总线上的同步时钟 IP 进行数据交互和参数配置。

3 验证平台构建与测试

3.1 同步时钟 IP 核验证平台构建

基于 ARM Cortex-M0 内核在 FPGA 上设计一个具有高精度同步时钟生成功能的 SoC。所构建的 SoC 由 Cortex-M0 内核、2 kB 只读存储器 (ROM)、8 kB 随机存取存储器 (RAM)、通用异步收发传输器 (UART) IP、高精度同步时钟 IP 和总线控制器组成,其结构如图 5 所示。

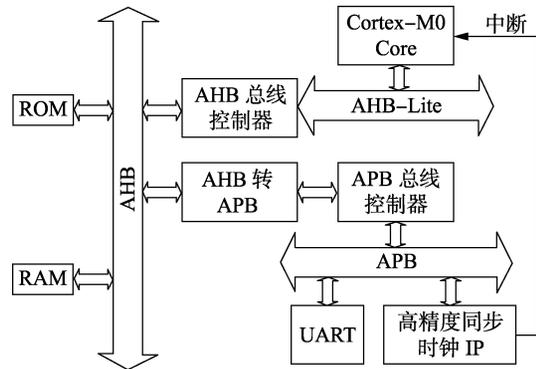


图 5 SoC 结构图

Fig.5 Structure of SoC

FPGA 选用 Cyclone IV EP4CE115 型,开发语言为 Verilog,ARM 软件开发环境使用 MDK5,SoC 外接 UM220-III GPS 接收机和 10 MHz 恒温晶振。

SoC 中的 2 kB ROM 用于程序存储,8 kB RAM 作为堆栈空间,UART 作为测试接口。各模块地址分布如表 2 所示。

3.2 同步时钟 IP 核性能测试

同步时钟装置的性能可由随机误差和守时误差两部分进行衡量。基于在 FPGA 上构建的具有同步时钟生成功能的 SoC,对所设计的高精度同步时钟

表 2 SoC 地址空间分布表

Table 2 SoC address space mapping

模块	起始地址	定义
ROM	0x00000000	程序存储空间
RAM	0x20000000	堆栈空间
UART	0x40000000	UART 寄存器组
同步时钟 IP	0x40001000	状态寄存器
同步时钟 IP	0x40001004	脉宽寄存器
同步时钟 IP	0x40001008	中断配置
同步时钟 IP	0x4000100C	GPS 配置
同步时钟 IP	0x40001010	时间信息

单元进行性能测试。测试系统记录同步时钟的周期并用串口进行输出,用于分析同步时钟的随机误差。在完成 8 192 s 的同步后,断开 GPS 接收机与 FPGA 的连接,使用高精度示波器观测守时阶段同步时钟信号和 GPS 秒脉冲信号的误差。

GPS 随机误差测试过程共重复 3 次,每次采集 8 000 个同步时钟周期样本,通过计算误差的概率密度,得到图 6 所示的概率密度曲线。由图 6 可知,同步时钟随机误差的概率密度符合正态分布的基本特征,同步时钟随机误差的方差为 2.93,置信度 99% 的置信区间为 $[-5.14, 5.14]$ ns。

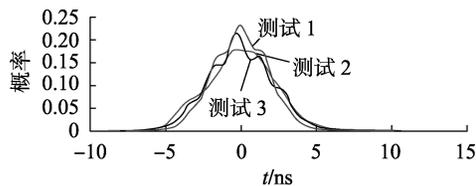


图 6 同步时钟随机误差概率密度曲线

Fig.6 Curve of random error probability density of synchronous clock

利用高精度示波器测量守时误差,每 20 min 记录一次守时误差,每次守时持续 1 h。为避免偶然性,共计进行 5 次守时误差测量,测量结果如表 3 所示。

表 3 守时误差测量结果

Table 3 Measured results of time-keeping error

次数	误差/ns		
	20 min	40 min	60 min
1	100	170	270
2	90	170	280
3	80	150	240
4	80	150	250
5	110	200	280

由表 3 可知,基于守时优化方案设计的高精度同步时钟单元在 GPS 接收机失步后,能够保持优于 300 ns/h 的守时精度。

4 结论

本文通过对同步时钟装置测量误差的分析研究,提出了一种提高守时精度的优化方案,根据该优化方案设计并实现了一个具有 APB 总线接口的通

用高精度同步时钟 IP 核。在 FPGA 中构建了以 Cortex-M0 为核心的 SoC 对 IP 核进行了性能测试。测试结果表明,本文设计的同步时钟 IP 核所生成的秒脉冲精度优于 20 ns,在 GPS 失步 1 h 内仍可保持 300 ns/h 的守时精度,满足电力录波、靶场时统和地震监测等系统的同步需求。同时,本文所设计的具有 APB 总线接口的同步时钟 IP 核 also 具有很强的通用性,可以灵活地应用于多种测量系统,符合嵌入式系统的发展潮流,具有良好的应用前景。

参考文献:

- [1] 李怀良, 虞先国, 刘明哲. 无线遥测式数字地震仪关键技术[J]. 地球物理学报, 2013, 56(11): 3673-3682.
LI Huailiang, TUO Xianguo, LIU Mingzhe. Key techniques of wireless telemetry digital seismograph[J]. Chinese Journal of Geophysics, 2013, 56(11): 3673-3682.
- [2] 王向军, 张亚元, 张龙祥. 基于 GPS 和高精度实时时钟的时间同步方法[J]. 纳米技术与精密工程, 2016, 14(1): 66-70.
WANG Xiangjun, ZHANG Yayuan, ZHANG Longxiang. Time synchronization based on GPS and high-accuracy real-time clock[J]. Nanotechnology and Precision Engineering, 2016, 14(1): 66-70.
- [3] 余学锋, 杨标, 张开维. 靶场时统装置同步误差实时校准方法与分析[J]. 兵器装备工程学报, 2017, 38(3): 22-26, 76.
YU Xuefeng, YANG Biao, ZHANG Kaiwei. Analysis of real-time synchronization error calibration method for range clock synchronization systems[J]. Journal of Ordnance Equipment Engineering, 2017, 38(3): 22-26, 76.
- [4] 王云宏, 江浩, 王盼, 等. GPS 授时地震仪走时误差校正[J]. 煤田地质与勘探, 2015(3): 91-94.
WANG Yunhong, JIANG Hao, WANG Pan, et al. Correction of travel time error of seismograph with GPS clock[J]. Coal Geology & Exploration, 2015(3): 91-94.
- [5] 曾祥君, 尹项根, 林干, 等. 晶振信号同步 GPS 信号产生高精度时钟的方法及实现[J]. 电力系统自动化, 2003, 27(8): 49-53, 89.
ZENG Xiangjun, YIN Xianggen, LIN Gan, et al. Clock of high accuracy implemented by crystal oscillator in synchronism with GPS-clock[J]. Automation of Electric Power Systems, 2003, 27(8): 49-53, 89.
- [6] 姬智艳. 瞬变电磁探测系统的 GPS 时钟同步研究与应用[D]. 长沙: 湖南大学, 2013.
JI Zhiyan. Study and implement on GPS time synchronization of the transient electromagnetic detection system [D]. Changsha: Hunan University, 2013.
- [7] 黄翔, 江道灼. GPS 同步时钟的高精度守时方案[J]. 电力系统自动化, 2010, 34(18): 74-77.
HUANG Xiang, JIANG Daozhuo. A high accuracy time keeping scheme based on GPS[J]. Automation of Electric Power Systems, 2010, 34(18): 74-77.
- [8] 翟学明, 杨磊, 杨亮. 基于 FPGA 的 GPS 同步授时与守时方案设计与实现[J]. 测控技术, 2016, 35(5): 153-156.
ZHAI Xueming, YANG Lei, YANG Liang. Design on a GPS timing and time keeping scheme based on FPGA[J]. Measurement & Control Technology, 2016, 35(5): 153-156.
- [9] 李泽文, 舒磊, 邓丰, 等. 基于全数字锁相环的电力系统高精度同步时钟[J]. 电力自动化设备, 2015, 35(7): 32-36.

- LI Zewen, SHU Lei, DENG Feng, et al. Wholly DPLL-based synchronous clock with high precision for electric power system [J]. Electric Power Automation Equipment, 2015, 35(7): 32-36.
- [10] 蒋陆萍, 曾祥君, 李泽文, 等. 基于 GPS 实现电力系统高精度同步时钟[J]. 电网技术, 2011, 35(2): 201-206.
- JIANG Luping, ZENG Xiangjun, LI Zewen, et al. Realization of high accuracy synchronous clock for power system based on GPS [J]. Power System Technology, 2011, 35(2): 201-206.
- [11] 向为, 徐博, 牟卫华, 等. 基于锁相环的 GNSS 授时接收机钟差校准算法[J]. 国防科技大学学报, 2013, 35(2): 115-119.
- XIANG Wei, XU Bo, MOU Weihua, et al. A clock error calibration algorithm based on phase lock loop in GNSS time synchronization receiver[J]. Journal of National University of Defense Technology, 2013, 35(2): 115-119.
- [12] 张言苍. 智能变电站网络采样同步新技术[J]. 电力自动化设备, 2015, 35(8): 143-147, 155.
- ZHANG Yancang. Network sampling synchronization method for smart substation[J]. Electric Power Automation Equipment, 2015, 35(8): 143-147, 155.
- [13] 周珊, 王金波, 王晓丹. 基于时序路径的 FPGA 时序分析技术研究[J]. 微电子学与计算机, 2016, 33(1): 76-80.
- ZHOU Shan, WANG Jinbo, WANG Xiaodan. Research of FPGA timing sequence analysis technology based on timing sequence path [J]. Microelectronics & Computer, 2016, 33(1): 76-80.
- [14] RUSU O V, DUKA A V. Monitoring and control platform for homes based on FPGA, SoC and Web technologies[J]. Procedia Engineering, 2017, 181: 588-595.
- [15] 孙延良. 基于 SoPC 技术的电力系统 GPS 同步时钟[D]. 济南: 山东大学, 2008.
- SUN Yanliang. The GPS synchronization clock of power system based on SoPC[D]. Jinan: Shandong University, 2008.
- [16] 陈孟元, 陈跃东. 基于高精度晶振同步北斗 1 pps 的同步相量测量装置时钟源[J]. 电力自动化设备, 2011, 31(9): 111-114.
- CHEN Mengyuan, CHEN Yuedong. Beidou 1 pps corrected by high-precision crystal oscillator for PMU[J]. Electric Power Automation Equipment, 2011, 31(9): 111-114.
- [17] 李泽文, 曾祥君, 黄智伟, 等. 基于高精度晶振的 GPS 秒时钟误差在线修正方法[J]. 电力系统自动化, 2006, 30(13): 55-58.
- LI Zewen, ZENG Xiangjun, HUANG Zhiwei, et al. Method for correcting errors of the GPS-clock based on the high precision crystal oscillator [J]. Automation of Electric Power Systems, 2006, 30(13): 55-58.

作者简介:



张园园

张园园(1994—),男,江苏南通人,硕士研究生,主要研究方向为数字系统设计与计算机应用(**E-mail**: zhangyuanyuannuaa@126.com);

吴宁(1956—),女,江苏南京人,教授,博士研究生导师,硕士,主要研究方向为数字系统理论与技术、电子系统集成与专用集成电路设计(**E-mail**: wunee@nuaa.edu.cn);

周磊(1980—),男,江苏扬州人,讲师,博士,主要研究方向为电子系统集成和专用集成电路设计;

周芳(1979—),女,江苏南京人,讲师,博士,主要研究方向为数字系统设计与计算机应用;

葛芬(1981—),女,江苏南京人,副教授,博士,主要研究方向为片上系统/片上网络设计、专用数字集成电路与嵌入式系统设计。

Design scheme of universal high-precision clock synchronization unit

ZHANG Yuanyuan¹, WU Ning¹, ZHOU Lei², ZHOU Fang¹, GE Fen¹

(1. College of Electronic and Information Engineering, Nanjing University of Aeronautics and Astronautics, Nanjing 211106, China;

2. College of Information Engineering, Yangzhou University, Yangzhou 225127, China)

Abstract: According to the analysis of time-keeping error generated by synchronous clock device, a design scheme of the synchronous clock device is proposed, which improves time-keeping accuracy through reducing the measurement error. In order to improve the time accuracy of synchronous clock device, the interpolating clock method is adopted to reduce the measurement error of GPS (Global Position System) pulse per second period and the remainder of the mean value of pulse per second is compensated to remove the importing error in mean value calculation. The IP (Intellectual Property) core of high-precision synchronous clock based on AMBA APB bus is designed by the proposed scheme and tested by a SoC (System on Chip) with high-precision synchronous clock constructed by ARM Cortex-M0 in FPGA (Field Programmable Gate Arrays). The testing results indicate that the time synchronization accuracy of the IP core with high-precision synchronous clock designed by the proposed scheme is less than 20 ns and its time-keeping error is within 300 ns per hour.

Key words: synchronous clock; time-keeping; interpolated clock; remainder compensation; universal; IP core; SoC