

基于 DDS 技术的工频频率滑差源

潘文诚

(浙江科技学院 信息与电气工程学系, 浙江 杭州 310012)

摘要: 介绍了基于直接数字式频率合成 DDS(Direct Digital Synthesis)技术的工频频率滑差源的研制。该滑差源具有 df/dt 频率滑差功能,主要用于继电保护频率滑差试验仪的核心部件数字调幅调相滑频电压源。简述了频率滑差的原理,重点叙述了适应于频率滑差输出的软件算法,以及相位累加器、数字波形的合成、数字移相和输出波形的程控调幅等环节的设计思想。

关键词: DDS; 频率滑差; df/dt ; 继电保护; 试验仪

中图分类号: TP 333.96

文献标识码: B

文章编号: 1006-6047(2005)01-0072-03

1 滑频电压源系统简介

直接数字式频率合成 DDS(Direct Digital Synthesis)技术,将先进的数字信号处理理论与方法引入信号合成领域,其频率、幅值、相移和波形都可动态及时地控制,因此被广泛应用于自动测控系统、仪器仪表等领域^[1]。图 1 是基于 DDS 技术、具有 df/dt 频率滑差功能的,用于继电保护频率滑差试验仪的数字调幅调相滑频电压源的系统原理框图。

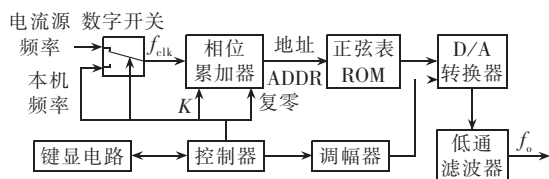


图 1 系统原理图

Fig.1 The block diagram of system

该数字源的输出频率能选择跟踪本机频率和电流源频率,跟踪本机频率时能在 40~60 Hz 的工频范围内手动扫频或自动滑差。手动扫频输出时,系统控制器产生的本机频率随操作面板上增键和减键的按动增减;自动滑差输出时,频率自动按照操作面板设定的起始频率 f_1 、终止频率 f_n 和频率变化率 df/dt 值滑差输出, df/dt 滑差率在 0.1~10 Hz/s 内设置可调,从 f_1 到 f_n 的时间间隔,I/O 口线同时给出用于启停外部秒表的一个单脉冲。系统频率显示器的分辨率为 0.001Hz,能实时显示频率滑差。在手动和自动滑频输出时,如外部被试设备(频率继电器或低频低压减荷装置)施加给试验仪一个变状态信号,数字源即能锁定实时频率值不变。跟踪电流源频率时,输出电压相对参考电流源能在 0~360° 范围内以 0.1° 步幅移相;输出电压经功率放大后,幅值在 0~120 V 可调;输出波形失真度小于 0.5%。

2 时钟频率控制的相位累加器

DDS 的基本思想是在 ROM 中存入正弦波的 2^N 个均匀间隔样值,然后以均匀的速率把这些样值输出到 D/A 转换器,将其变成模拟信号经低通滤波输出^[2,3]。其过程遵循奈奎斯特取样定理。

在此过程中,相位累加器在每个时钟 f_{clk} 上升沿以频率控制字 K 累加一次,当累加器计数大于 2^N 时,相位累加器作一次模余运算。正弦表 ROM 根据送来的地址取出已存储的与该相位地址对应的正弦幅值并将该值送给 D/A 转换器,D/A 转换器输出的阶梯信号经低通滤波器滤波后得到一个正弦信号。输出频率 f_o 与时钟频率 f_{clk} 之间满足关系式

$$f_o = (K/2^N) f_{clk}$$

f_o 与控制字 K 和 f_{clk} 成正比。当 $K=1$ 时,系统连续读出 ROM 中波形的每一个数据,此时波形失真最小,输出信号的频率最低;当 $K \neq 1$ 时,则要间断地读出 ROM 中的波形数据,输出波形的失真加大, K 值越大(对应的输出频率越高),失真就越严重。

为适应频率滑差和对电流源频率跟踪调相的需要^[4,5],数字源采用了固定频率控制字 $K=1$,由时钟频率 f_{clk} 控制的相位累加器作为 ROM 表的相位地址发生器,如图 2 所示。

该相位累加器由频率跟踪器和地址时序发生器两部分组成。图中数字开关可选择为跟踪电流源频率和跟踪本机频率以形成相位累加器的时钟频率信号 f_{clk} 。跟踪电流源频率时,信号通过比较器 LM311 比较整形后经数字开关送入作为地址时序发生器的锁相环电路;跟踪本机滑差频率时信号 f_{clk} 由作为系统控制器的单片机产生。

地址时序发生器由锁相环电路 CD 4046 和分频器电路 CD 4020 构成,CD 4020 将 CD 4046 输出频率 12 分频后再反馈到 CD 4046 输入比较端 BIN,与另一个输入比较端 AIN 鉴相(数字开关选择的频率

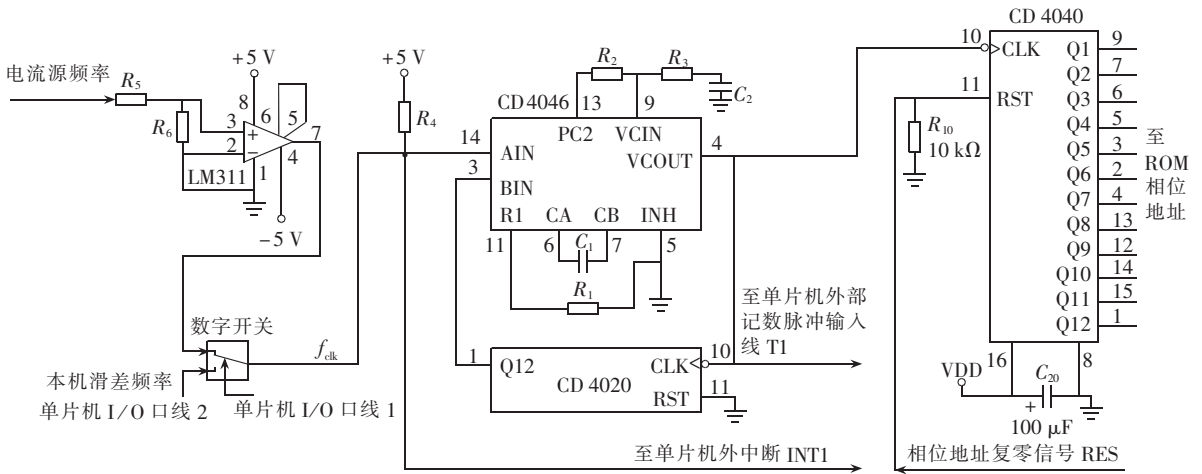


图 2 由时钟脉冲控制的相位累加器

Fig.2 The phase accumulator controlled by clock pulse

信号作为锁相环电路 CD 4046 的一个鉴相端 AIN 的输入), 环路锁定后, CD 4046 输出端的频率比其输入端的频率提高了 2^{12} 倍, 即 $f_{VOUT} = 2^{12} f_{AIN}$, 将它用作地址计数器 CD 4040 的时钟源, 使波形存储器 ROM 表在信号的一个周期内输出 $2^{12} = 4\ 096$ 个量化值。

3 频率滑差原理及软件实现

数字源本机频率的 df/dt 滑差输出功能主要通过运用单片机片内资源和软件设计实现, 由 89C 55 单片机片内定时器 T0 定时变反图 2 中 I/O 口线 2 P0.0 的高低电平产生。系统工作于手动扫频输出时, 定时值在人工参与下随仪器面板上的频率增减键的增减而增减。工作于自动频率滑差输出时, 频率从初始值 f_1 以 $df/dt = K$ 的平均速率变化到终止值 f_n 时, 全程需要时间为 t_1 , P0.0 在定时器 T0 的控制下需要变反 N 次 (共 $N/2$ 个周期), 每一次变反 (半个周期) 需递增或递减的时间间隔为 t_2 。这是一个求解等差数列的问题, 只要解出 t_2 , 即可在 P0.0 输出频率初始值 f_1 后, 在此后定时器 T0 的每个中断服务程序中将定时值递增 (减) t_2 作为下次中断的定时值, 直到 P0.0 变反的时间间隔达到终止频率 f_n 所对应的周期, 由此实现频率滑差。在编程前, 可由如下思路解得所需参数 N 和 t_2 的表达式。

a. 先由在时间 t_1 内频率以平均速率 K (df/dt 的值) 从 f_1 变化到 f_n 的递增 (减) 公式 $f_1 + t_1 K = f_n$ 解得滑差所需的时间为

$$t_1 = (f_n - f_1) / K \quad (1)$$

b. 列出递增 (减) 量 t_2 , 从起始半周期 $1/(2f_1)$ 变化到终止半周期 $1/(2f_n)$ 的等差数列通项式和它的前 N 项和的表达式:

$$1 / (2f_1) + (N-1)t_2 = 1 / (2f_n) \quad (2)$$

$$N / (2f_1) + N(N-1)t_2 / 2 = t_1 \quad (3)$$

将式 (1) 解得结果 t_1 代入式 (2)(3), 可求得 I/O 口线 2 在滑频过程中的变反次数为

$$N = \frac{4f_1 f_n}{f_1 + f_n} t_1 = \frac{4f_1 f_n}{f_1 + f_n} \frac{f_n - f_1}{K} \quad (4)$$

滑频过程中每个半周期需递增 (减) 时间间隔为

$$t_2 = (f_1 - f_n) / [2(N-1)f_1 f_n] \quad (5)$$

递增 (减) 了 $N-1$ 次滑频公差 t_2 后, 第 N 次中断结束滑频过程。此后的中断, 定时值将恒以 $1/(2f_n)$ 所对应的半周期时间量变反 I/O 口线 2。

4 数字波形合成

对于一个周期的正弦波信号, 可以沿其相位轴方向, 以等量的相位间隔对其进行相位/幅值取样, 得到一个周期的正弦波信号的离散相位幅值序列。该取样过程所得到的取样幅值随正弦波信号幅值连续变化, 仍然是一个模拟量。根据合成波形的精度要求对模拟幅值进行量化, 量化后的幅值采用相应的二进制数进行编码, 这样就把一个周期的正弦波连续信号转换成为一系列离散的二进制表示的数字量, 然后固化在只读存储器 ROM 中, 每个存储单元的地址即相位取样地址, 存储单元的内容即已经量化的正弦波幅值。这样一个只读存储器就构成了一个与 2π 周期内相位取样相对应的正弦函数功能表, 因其存储的是一个周期的正弦波幅值, 故可称其为正弦波波形存储器。

正弦波形合成时, 是将存储在波形存储器 ROM 里的经二进制量化的正弦波信息依次通过 D/A 电路转换成模拟量输出。在量化过程中有 2 个重要参数要选择, 即幅度量化的二进制位数和每周期量化的点数 n , 它们决定了输出波形的光滑度和相位调节的细度^[6]。首先, 幅度量化的二进制位数一般选 8 bit 或 12 bit。选用 8 bit 的 D/A 和 ROM, 成本最低, 结构最简单, 如采用高于 8 bit 的 D/A 转换器, 作为 D/A 转换器的数字量输入的 ROM 就要用 2 片级连 (因为常用 ROM 的输出都是 8 bit), 提高 D/A 转换器的位数可以提高输出波形的光滑度, 但也增加了电路的复杂程度。实践证明, 8 bit 的 D/A 转换器构

成的波形输出器经 RC 低通滤波后已能满足输出波形失真度小于 0.5% 的要求。其次,确定正弦波一个周期内二进制的量化点数 n , n 的选择与相位调节细度有关,选择 $n=4096$ 时,相位调节细度可小于 0.1° ,波形存储器可采用 4 kByte ROM,相位累加器中的地址计数器可采用 12 bit 的脉冲计数器 CD 4040。

4.1 数字调幅原理

图 3 是波形输出器和调幅器电路,D/A 转换器

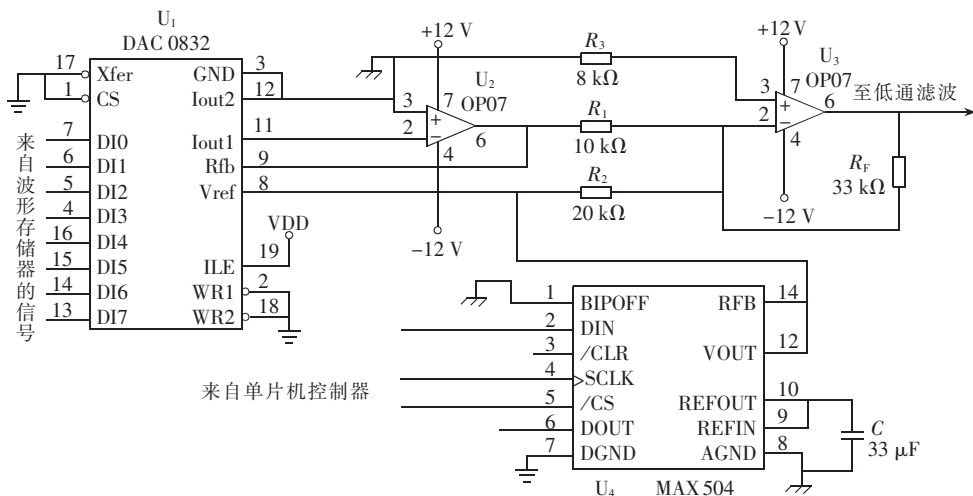


图 3 波形输出器和调幅器

Fig.3 Waveform generator and amplitude modulator

4.2 数字移相原理

数字移相的实现实际上是控制图 2 中地址计数器 CD 4040 复零脚 RES 的复零时间。当确定正弦波一个周期内二进制的量化点数 $n=4096$ 时,对地址计数器每隔 4096 个计数脉冲进行 1 次复零,则能周而复始地合成正弦波输出。控制数字电压源对电流源的相移,是以电流源为参考向量,控制图 2 中电流源信号 f_{clk} 过零中断单片机外中断 INT1 到 CD4040 RES 复零的时间间隔,则控制了数字源滞后电流源相角。此处时间间隔用单片机中 T1 计数器对 f_{clk} 的计数度量。 4096 个计数脉冲等同于 360° , 2048 个计数脉冲等同于 180° , 1 个计数脉冲等同于 0.088° , …… ,由此很容易地实现了 $0\sim 360^\circ$ 的移相控制。

5 结语

随着电力系统的发展和容量的扩大,运行状况更加复杂。与之相适应,低频低压减载控制技术也不断得到改进与提高,一种带有 df/dt 闭锁跳闸的数字式频率继电器被大量采用。此外,为了在系统发生电源事故时能快速切除负荷,有效抑制电压、频率的下降,一类按系统频率或电压下降率快速减载的新型自动低频低压减负荷装置也得到了应用。这无疑对电力系统的安全运行起到了积极的作用。由于常规测试仪器不能定量地、准确地对自动装置中 df/dt 动作定值(或闭锁值)进行测试与校验,所以研制一种全数字化的具有频率滑差输出功能的继电

DAC 0832 和 2 个集成运放 OP 07 将来自波形存储器的数字信号转换成波形信号,其波形幅值由参考电压 U_{ref} 决定。幅值调节由另一个 D/A 转换器 MAX 504 调节 DAC 0832 的参考电压 U_{ref} 完成的。MAX 504 是内带时钟和 4.096 V 参考源的 10 bit 串行输入 D/A 转换器,使用很方便,采用 10 bit D/A 转换器作为调幅器,其调节细度约为 0.1% ,已能满足试验仪满幅输出为 120 V 电压时对调节细度的要求。

保护测试仪很有意义。DDS 技术提供了实现这种需要的全数字化平台,用时钟脉冲控制的相位累加器很好地跟踪了信号频率,使装置可工作在本机滑频输出状态和电流源市电频率状态。滑频输出时,起始频率、终止频率以及频率滑差率均可设置;跟踪电流源频率输出时,可相对电流源进行 360° 移相输出;数字合成的输出波形失真度小于 0.5% ,且具有 0.1% 的幅值调节细度。

参考文献:

- [1] 戴 柠,陈一尧. DDS 信号源的研制[J]. 仪器仪表学报, 1996,17(1):24-28.
DAI Ning, CHEN Yi-yao. Direct digital high-frequency synthesis [J]. *Chinese Journal of Scientific Instrument*, 1996,17(1):24-28.
- [2] 左 磊,连小珉,班学钢. 双 RAM 直接数字合成任意波形发生器微机插卡研制 [J]. 清华大学学报(自然科学版), 1999,39(2):90-93.
ZUO Lei, LIAN Xiao-min, BAN Xue-gang. Development of a direct-digital-synthetic-based arbitrary waveform generator PC-compatible card with double RAMs[J]. *Journal of Tsinghua University (Sci. & Tech.)*, 1999,39(2):90-93.
- [3] 谌 憬,王福昌,朱光喜. 直接数字频率合成器频谱分析 [J]. 华中科技大学学报(自然科学版),2003,31(2):84-86.
CHEN Jing, WANG Fu-chang, ZHU Guang-xi. Spectrum analysis of DDS[J]. *Journal of Huazhong University of Sci. & Tech. (Nature Science Edition)*, 2003,31(2):84-86.

(下转第 78 页 continued on page 78)

(上接第 74 页 continued from page 74)

[4] 金松, 安建平, 费元春. 基于 DDS 的高精度移相器的实现[J]. 北京理工大学学报, 1998, 18(6): 356-359.

JIN SONG, AN Jian-ping, FEI Yuan-chun. Realization of DDS based fine resolution phase shifters[J]. **Journal of Beijing Institute of Technology**, 1998, 18(6): 356-359.

[5] ASCARRUNZ F G. A high resolution phase frequency offset generator[A]. **IEEE Frequency Control Symposium**[C]. [s.l.]: IEEE, 1998. 390-391.

[6] QIAN S, CHEH D. Joint time-frequency analysis [J]. **IEEE Signal Processing Magazine**, 1999, 16(2): 51-67.

(责任编辑: 李育燕)

作者简介:

潘文诚(1952-), 男, 江苏宝应人, 教授级高级工程师, 现主要从事智能化仪器仪表的教学与研究工作 (E-mail: pwch@163.net)。

Power frequency slip source based on DDS technology

PAN Wen-cheng

(Zhejiang Institute of Science Technology, Hangzhou 310012, China)

Abstract: A power frequency slip source based on DDS(Direct Digital Synthesis) technology is developed. With the function of df/dt slip, it is mainly used in the relay protection test instrument as its digital amplitude and phase modulated voltage source. The principle of frequency slip is introduced briefly. The software algorithm for frequency slip output and the design ideas of phase accumulator, digital wave composition, digital phase shift, and programmable amplitude modulation of output wave are emphasized.

Key words: DDS; frequency slip; df/dt ; relay protection; test instrument