

牵引变电所微机保护装置方案研究

朱中华, 苗世洪, 刘 沛, 梅慧楠

(华中科技大学 电气与电子工程学院, 湖北 武汉 430074)

摘要: 根据牵引变电所对保护装置的特殊要求, 提出了一种结合数字信号处理器 DSP(Digital Signal Processor)技术和以太网高速通信技术的双 CPU 结构牵引变电所微机保护装置的设计方案。该方案中保护 CPU 采用高性能 32 bit 浮点 DSP 芯片 TMS320VC33, 通过可编程逻辑器件 CPLD(Complex Programmable Logic Device)进行 I/O 扩展, 配合 16 bit 并行 A/D, 完成多通道高速率采样和保护计算的任务; 监控 CPU 采用具有 ARM7DMI CPU 核的 S3C44B0X 芯片, 完成人机接口和通信功能, 片内移植 ucLinux 嵌入式多任务系统, 实现了符合 IEC 61850 标准的以太网间隔层通信。经过现场试运行, 证实该装置可靠。

关键词: 微机保护装置; TMS320VC33; 嵌入式系统; 以太网

中图分类号: TM 63; TM 774

文献标识码: A

文章编号: 1006-6047(2005)02-0043-04

我国电气化铁道约 30 000 km, 牵引变电站接入 110 kV 电力电网, 通过专用牵引变压器将三相变为两相给牵引网供电。牵引负荷是移动性负荷, 受电弓对接触导线一直处于滑动接触状态, 牵引机车在运行过程中需要频繁启动和加速, 造成接触导线的振动, 容易导致牵引网短路。我国电力机车多为整流电力机车, 经过整流的负荷电流是周期的非正弦波, 含有大量谐波, 经牵引供电臂引入牵引变电所。与同电压等级的电力变电所相比, 牵引变电所运行设备的工作条件更恶劣, 由于这些原因, 对牵引变电所配置的保护设备也提出了许多特殊要求, 尤其对测量快速性、计算准确性、谐波分析能力要求更高。

1 继电保护装置整体硬件结构

牵引变电所微机保护装置硬件结构见图 1, 全部插件装入 6U 机箱, 所有信号通过屏蔽端子引入封闭式金属外壳机箱, 具有良好的防电磁干扰性能。

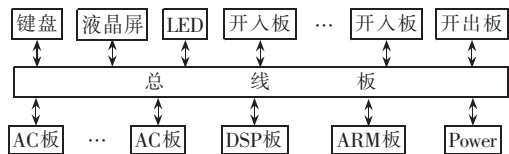


图 1 硬件配置框图

Fig.1 The block diagram of hardware configuration

总线板将地址总线、数据总线、控制线、3.3 V/5 V/+12 V/-12 V 电源线、模拟量、开关量等集中在一块电路板上, 通过插座将这些信号分配给不同功能的插件。

数字信号处理器 DSP(Digital Signal Processor)板负责采样、数字信号处理、保护计算、故障判断和产生保护开出信号, 是整个继电保护装置核心。

ARM 板完成人机接口和以太网通信功能, 通过 16 bit 双口 RAM 与 DSP 板进行信息交流。

开入板用于检测外部开关状态量, 为了抗干扰, 各路外部输入均装有光电隔离, 使得外部开关量与 CPU 之间没有直接电的联系, 增强了系统可靠性。

开出板将 DSP 板发出的开关量信号, 经转换处理后, 通过出口继电器控制断路器或开关的开合, 实现变压器组的自动启停和切换等, 同时控制信号继电器发出报警信号, 为保护装置的出口执行部分。

AC 板用于测量被保护线路或设备的电流、电压等模拟量, 将二次侧的电流、电压经隔离转换电路将电平转换为 A/D 器件测量范围内的电压信号, 防止了外部输入回路的电气干扰。

Power 板为保护装置的所有器件提供工作电源, 采取了防雷自保护措施。

人机接口单元包括键盘、320×240 灰度液晶、LED 信号指示灯, 安装在保护装置前端面板上, 人机界面友好。

2 保护 DSP 板

继电保护装置的核心是保护 CPU, 它的功能强大与否直接影响到保护装置的整体性能。DSP 板采用 TI 公司推出的新一代 32 bit 浮点 TMS 320VC33 芯片作为保护 CPU, 下面介绍其主要特性^①。

a. 具有高速的浮点运算能力, TMS320VC33-120 型在 17 ns 单周期指令执行时间为 120 MFLOPS, 60 MIPS。

b. 具有 32 bit 的指令字, 24 bit 的地址线; 可进行 16/32 bit 整数和 32/40 bit 的浮点操作; 满足了继电保护对交流采样数据进行精确计算的要求。

① TMS320VC33 Digital Signal Processor. Texas: Texas Instruments Incorporated, 1999.

c. 带有 $34\text{ k} \times 32\text{ bit}$ (1.1 Mbit) 的片内双静态 RAM, 分为 2 个 $16\text{ k} \times 32\text{ bit}$ 块和 2 个 $1\text{ k} \times 32\text{ bit}$ 块; 提供了充足的地址空间供外扩数据和程序存储器所用。当出现故障保护动作时, 有充足的缓存记录每次故障过程数据。

d. 具有 8/16/32 bit 位程序引导装载功能。可以方便地将外部的慢速 EPROM 或其他标准器件中的程序装载到快速的片内 RAM 或片外 SRAM 中运行。省去了昂贵的快速 EPROM, 同时减化了硬件设计、降低了成本。

为了配合 TMS320VC33 的高速 I/O, 并使 DSP 对外控制功能更加灵活, 本文设计选用 ALTERA 公司生产 MAX7000 系列器件 EPM7192S 的这一款 CPLD 对 DSP 进行 I/O 扩展。EPM7192S 高性能和高密度是基于它先进的多重阵列矩阵架构^①, 可重复擦写, 它采用 E²CMOS 工艺制作, 传播延迟最小为 3.5 ns, 能够非常好的与 TMS320VC33 这样的高速运行芯片协同工作。

CPLD 的逻辑编程, 可以用该公司推出的 MAX PLUS II 或者 QUARTUS II 两款软件, 两者风格类似, 易于使用, 而且界面友好, 本文设计中使用的是 MAX PLUS II。CPLD 的逻辑功能设计可在 MAX PLUS II 环境下通过硬件描述语言 (VHDL) 或图形化设计等多种方式实现, 更为重要的是该软件具有脱离硬件 (CPLD) 对设计方案进行仿真验证的功能, 这极大地提高了 CPLD 的开发效率。EPM7192S 可以多次擦写, 这样可以不断对设计方案进行改进。正是秉承了硬件电路设计“软件化”的思想, 使得对整个保护 DSP 板进行硬件系统升级变得更加灵活, 也节约了设计成本。两者接口如图 2 所示。

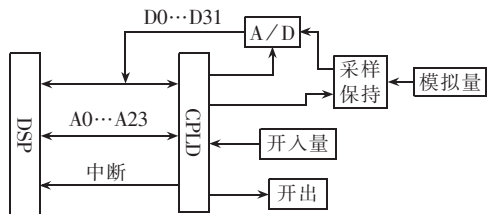


图2 DSP与CPLD的接口图

Fig.2 The interface between DSP and CPLD

TMS320VC33 全部的地址线、数据线、外部中断 INTx 引脚、一部分控制线都与 CPLD 的 I/O 口相连^[1], CPLD 对 DSP 的输入信号进行时序逻辑组合, 简化了 DSP 与外围器件的电路接线, 另一方面, 尽可能地将 DSP 的一部分时序逻辑控制任务 (如交流采样) 转移到 CPLD 内实现, 能够有效减少 DSP 的控制任务和等待时间, 以此提高 DSP 的运行效率, 集中更多的 DSP 资源用于保护运算和故障判断这一主要任务, 从而提高保护 DSP 板的整体性能。

3 交流采样环节

本文研制的保护装置最多可提供 32 路交流采样通道, 每路都有 1 个滤波采样保持单元; 2 片多路开

关 ADG 526, 每片提供 16 路模拟量开关, 分别给 2 个 AD676 芯片提供模拟量输入, 该芯片最快能适应 100 ns 的读/写信号, 因此能很好的与 TMS320VC33 匹配。

TMS320VC33 数据线是 32 bit, AD676 是 16 bit 的 A/D 芯片, 每片 16 根数据线分别接在 TMS320VC33 数据线的低 16 bit 和高 16 bit 上。

图 3 给出了装置的采样环节结构, 下面介绍对采样控制过程的设计。

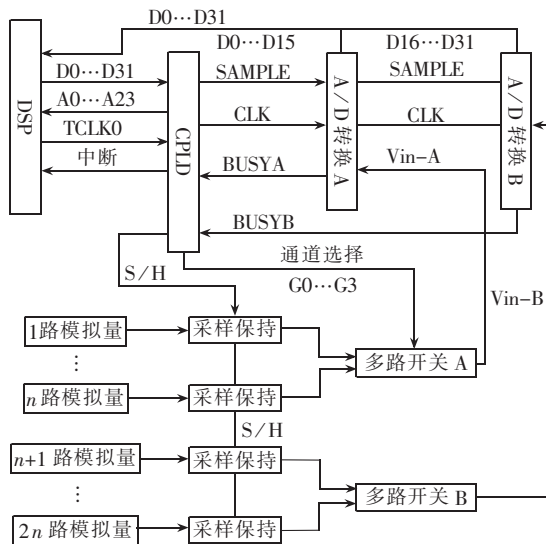


图3 采样环节结构图

Fig.3 The sketch diagram of data sampling

a. 采样保持环节: 32 个采样保持芯片 LF398 的 L 引脚都连在 CPLD 的一个 I/O 口 (定义为 S/H), 定时器 0 的输出 TCLK0 作为采样的定时触发信号输入 CPLD, 再由 CPLD 控制 S/H 引脚输出高电平, 从而启动采样保持芯片 LF398 控制 32 路交流流量同时采样, LF398 的典型采样率是 $1.0\text{ V}/\mu\text{s}$, 进入 A/D 环节的电压在 5 V 以内, 即要完成采样 S/H 必须保持高电平状态 $5\text{ }\mu\text{s}$ 左右, 通过 CPLD 内部设计的定时器获得这一时延, 之后 S/H 再跳变为低电平, 使所有采样通道进入采样保持状态。

b. A/D 转换环节: 2 片 AD676 (定义为 AD676A, AD676B) 的时钟 CLK 引脚、SAMPLE 引脚分别与 CPLD 的 2 个 I/O 口 (定义为 CLK, SAMPLE) 连在一起, 而 2 个 BUSY 引脚 (定义为 BUSYA, BUSYB) 则分别与 CPLD 的另外 2 个 I/O 口相连。2 片多路开关芯片 ADG 526 的通道选择控制信号 A0, A1, A2, A3 与 CPLD 的 4 个 I/O 口直接相连 (定义为 G0, G1, G2, G3)。在 32 路交流流量采样保持完成之后, DSP 输出 24 位地址信号及读/写信号给 CPLD, 经 CPLD 译码并控制 ADG 526 的 G0, G1, G2, G3 选择 2 个采样通道同时进入 2 片 AD676 的 Vin 引脚等待 A/D 转换, 此时 CPLD 立刻作用 SAMPLE 引脚输出宽度为 $3\text{ }\mu\text{s}$ (t_{sa}) 的高电平, 之后降为低电平, CLK 引脚则输出 600 ns

① MAX7000 Programmable Logic Device Family Data Sheet. Altera Corporation, 2000.

脉宽的方波,启动 2 片 AD 676 同时进入 A/D 转换过程,经过 17 个 CLK 周期转换完成,BUSYA 和 BUSYB 信号输入 CPLD 进行“或”,“或”的结果为“0”(即两 A/D 都完成了转换),CPLD 向 DSP 外部中断 INT0 输入低电平,启动 DSP 进入采样中断服务程序开始读取两路转换值。此后如此类推,依次完成所有交流通道的 A/D 转换。

因为采样环节大量的任务由 CPLD 完成,DSP 执行采样中断服务程序的时间和输出其他采样控制信号的时间耗费不超过 $3\ \mu\text{s}$,而此外的时间集中于保护运算和故障判断,提高了 DSP 作为保护 CPU 对故障处理的快速性。

c. DSP 数值处理环节: DSP 每次读取两路 A/D 采样值,然后利用软件将读入的 32 bit 数据分离成 2 个 16 bit 数据,并按两路采样分别进行存储和处理。

DSP, CPLD, A/D 芯片以及采样保持电路之间的控制信号时序配合非常关键,设计合理与否直接关系到采样全过程的顺利完成,其优化程度将决定采样速度能否最大限度的提高。图 4 所示是装置中设计的几个重要控制信号之间的时序关系。

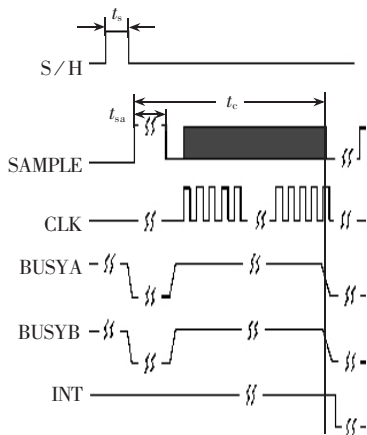


图 4 采样工作时序图

Fig.4 The working sequence of data sampling

按照上文的设计方案,采样保持环节典型时间为 $6\ \mu\text{s}$,每次 A/D 转换典型时间 $15\ \mu\text{s}$,DSP 在这一过程中的耗时最大估计为 $3\ \mu\text{s}$,对完成 32 个通道一次采样转换需要的总耗时进行估算(32 通道同时采样保持,两 A/D 芯片一次转换 2 个通道):

$$6\ \mu\text{s} + (15\ \mu\text{s} + 3\ \mu\text{s}) \times 16 = 294\ \mu\text{s}$$

流量一个周期 20 ms,按一个周期内采样 48 点计算: $20\ 000\ \mu\text{s} / 48 = 417\ \mu\text{s}$ (取整),因此按本方案设计采样率完全能达到每周周期 48 点,在故障发生时刻,保护装置还可适当提高采样率,以详细记录故障特征波形,为事故分析提供详实的数据资料。

4 监控 CPU 板

4.1 间隔层通信协议

随着 IT 技术的高速发展,以太网技术相当成熟。有研究者提出,按照 IEC 61850 标准^[2],在变电站

自动化系统框架模型中,用以太网作为物理层、链路层,TCP/IP 作为网络层,制造报文规范 MMS (Manufacturing Message Specification)作为网络层。下面是采用这一模型的优点^[3]。

a. 以太网的带宽: 支持最长可达 1 500 Byte 的长帧,双绞线能达到 100 M 的带宽,若采用光纤传输率能达到 1 G 以上。

b. 以太网的实时性: 美国电力研究院对此进行了研究,在特定的“最恶劣”情形下,通过交换式 HUB 连接的 10 M 以太网完全能够满足变电站自动化系统网络通信“实时”性的要求,并且以太网快于 12 M 令牌传递 Profibus 网络。

c. 以太网的开放性: TCP/IP 协议数据格式和协议在分层结构上具有一定的灵活性,同时对操作系统和物理介质具有独立性,很容易实现不同厂商设备监控信息协议的转换和互连。基于 TCP/IP 协议的综合监控管理系统采用分布式的网络管理,使管理者的操作不受地理位置的限制;同时具有跨平台的网络管理系统的信息交换与联网,可以在任何平台下访问,而且可以用 Web 页方式浏览。

d. MMS(IEC 61850-8-1)支持面向对象数据定义,使该数据自描述成为可能,改变了传统的面向点的数据描述方法,使之可适应技术的发展并延伸。因数据本身带有说明,故传输可不受预先定义的限制^[4],简化了数据管理和维护工作。

因此,以太网通信标准和 MMS 结合,加之 IEC 61850 应用描述的通信网络模式,符合变电站通信系统的发展方向。

4.2 监控 CPU 板配置

a. 监控 CPU 采用 Samsung S3C44B0X,该微处理器是三星公司开发的高性价比和高性能的微控制器,它使用 16/32 bit RISC 结构和指令集功能强大的 ARM7DMI CPU 核,工作在 66 MHz(最高可以达到 75 MHz);由于 ARM 内核微处理器对实时多任务有很强支持能力,能够完成多任务并且有较短的中断响应时间,从而使内部的代码和实时内核的执行时间减少到最低限度,已成为嵌入式解决方案的 RISC 标准。

b. 外围存储器采用 4 MByte FLASH,8 MByte SDRAM。

c. 16 bit 双口 RAM 与保护 CPU 进行信息交流。

d. 10 M 以太网控制器 CS8900A。

e. 320 × 240 灰度液晶,汉字菜单,形象化的图形界面。

4.3 监控 CPU 软件

本文在 S3C44B0X 移植的嵌入系统是 ucLinux。为了便于进行嵌入式移植,开发者对 Linux 系统内核进行了有选择的裁剪,保留其操作系统特性和主要功能,最终形成现在的嵌入式操作系统 ucLinux。相对其他操作系统而言,强大而稳定的网络通信功

能是 Linux 的一大亮点,ucLinux 承袭了 Linux 的这一特性,它也就成为开发基于以太网、TCP/IP 协议网络通信程序的最佳嵌入式系统平台。

ucLinux 是多任务操作系统,在同一系统内可以同时有多个任务模块,所有的程序都可以在宿主 PC 机上开发,监控 CPU 板软件主要由 5 部分组成。

a. 装载程序 Bootloader. Bootloader 是在 uCLinux 操作系统内核运行之前运行的一段小程序。通过 Bootloader 可以初始化硬件设备、建立内存空间的映射图,为最终调用操作系统内核准备好正确的环境。

b. uCLinux 操作系统内核. 在 Linux 宿主机上解压缩 uCLinux-dist-20030909.tar.gz 和 S3C44B0X 使用的 uCLinux 核心程序源代码 Linux-2.4.x.tar.gz,然后用“make zImage”命令编译成压缩核心,编译完成后通过 Bootloader 的程序升级功能将压缩核心烧录到监控 CPU 板的 Flash。监控 CPU 板接上电源之后,uCLinux 压缩内核被释放到 SDRAM 中运行。

c. 键盘响应进程。

d. 液晶显示进程。

e. 网络通信进程^[4]. uCLinux 系统具备性能优越的 TCP/IP 协议堆栈和丰富的网络接口,采用目前在网络编程中广泛使用的 Socket 编程方式,为了保证数据传送的可靠性,在传输层选用传输控制协议 TCP,它是 TCP/IP 体系的运输层协议,面向连接,因而可提供可靠的、按序传送数据流,它的可靠是因为它使用三段握手协议传输数据,并且采用“重发机制”,接收端收到数据后要发出一个肯定确认,而发送端必须接收到接收确认信息,否则发送端会重发数据。同时 TCP 是无错误传递的,有自己的检错机制,确保了数据的正确发送。

5 结语

按照本文讨论的方案设计研制的牵引变电所微机保护装置,经过在牵引变电所现场试运行,结果显

示保护计算准确,对 2 次、3 次和 5 次谐波反映灵敏,与谐波有关的故障判断准确,保护装置整体性能可靠,满足牵引变电所综合自动化的有关要求。

间隔层通信依据 IEC 制定的变电站内通信网络和系统标准体系 IEC 61850,将以太网通信技术和 MMS 相结合,移植嵌入式操作系统 uCLinux 作为程序运行平台,在人工制造的“恶劣”条件下进行通信试验,完全能达到间隔层对通信速度的要求,与其他间隔层通信模式比较有更好的实时性,适应国际上要求变电站自动化系统具有开放性、互操作性的发展新趋势。

参考文献:

- [1] 张雄伟,曹铁勇. DSP 芯片的原理与开发应用[M]. 北京:电子工业出版社,2000.
- [2] IEC 61850,Communication networks and system in substations,part 1 to part 10[S].
- [3] 吴在军,胡敏强. 基于 IEC 61850 标准的变电站自动化系统研究[J]. 电网技术,2003,27(10):61-65.
WU Zai-jun,HU Min-qiang. Research on a substation automation system based on IEC 61850[J]. **Power System Technology**,2003,27(10):61-65.
- [4] 李卓恒,瞿 华. Linux 网络编程[M]. 北京:机械工业出版社,2000.

(责任编辑:李 玲)

作者简介:

朱中华(1979-),男,湖北武汉人,硕士研究生,研究方向为微机继电保护和牵引变电所综合自动化(E-mail:soarhua@sina.com);

苗世洪(1963-),男,湖北随州人,副教授,研究方向为电力系统继电保护、电力系统控制、DSP 在电力系统中的应用;

刘 沛(1944-),女,湖南长沙人,教授,博士研究生导师,研究方向为继电保护及变电站自动化;

梅慧楠(1980-),女,河南南阳人,硕士研究生,研究方向为电力系统分析、电力系统非线性控制。

Scheme of microprocessor-based protection equipment for traction substation

ZHU Zhong-hua, MIAO Shi-hong, LIU Pei, MEI Hui-nan

(Huazhong University of Science & Technology, Wuhan 430074, China)

Abstract: According to the special demands of traction substation, a scheme of microprocessor-based protection equipment with dual-CPU configuration is put forward, which combines DSP (Digital Signal Processor) technology and Ethernet-based high-speed communication technology. The CPU for protection adopts 32-bit DSP TMS320VC33, which realizes I/O expansion with CPLD (Complex Programmable Logic Device), completes multi-channel high-speed sampling with 16-bit parallel A/D and carries out protective calculation. The CPU for supervision adopts S3C44B0X with the core of ARM7DMI, which realizes man-machine interface and communication. An embedded operation system of uCLinux is installed, which meets the requirement of Ethernet communication based on TCP/IP protocol by IEC 61850 standard. The field trial operation proves its reliability.

Key words: microprocessor-based protection equipment; TMS320VC33; embedded system; Ethernet