

基于多 CPU 的 UPFC 控制与保护系统设计

孙海顺¹,谷双魁¹,文劲宇¹,王少荣¹,程时杰¹,曹一家²

(1. 华中科技大学 电气与电子工程学院,湖北 武汉 430074;

2. 浙江大学 电气工程学院,浙江 杭州 310027)

摘要: 在分析了统一潮流控制器 UPFC(Unified Power Flow Controller)工作原理的基础上,给出了 UPFC 物理实验装置的总体设计方案。针对实验装置的核心——控制与保护系统,提出了一种多 CPU 的硬件体系结构,该结构将控制与保护系统分为监测、录波和控制保护等 3 个单元,每个单元中的插件都是一个包含了 CPU(DSP)的功能模块,执行单一的任务,各功能模块均由双口 RAM 交换接口进行数据交换。通过 ISA 总线将各功能模块连接成一个整体,整套监控系统的实时性、可靠性和开放性得到较大提高。详细介绍了各功能模块的设计方法,动模实验的结果表明了这种多 CPU 硬件体系结构的有效性,可供其他柔性交流输电装置的控制与保护系统设计时参考。

关键词: 统一潮流控制器; 控制与保护系统; 多 CPU; DSP

中图分类号: TM 732

文献标识码: B

文章编号: 1006-6047(2006)10-0057-04

0 引言

一台统一潮流控制器 UPFC(Unified Power Flow Controller)装置可以同时实现静止无功发生器(STATCOM)、静止同步串联补偿器(SSSC)和可控移相器(TCPS)等多个 FACTS 装置的功能,实现对电力系统潮流的有效控制,同时具有抑制电力系统低频振荡,改善电力系统暂态稳定性,提高线路的传输能力等作用。世界上第一套 UPFC 装置于 1998 年在美国投入工业试运行,这也是目前世界上唯一一套在实际电力系统中运行的 UPFC 装置^[1]。此后日本和西欧也陆续研制成功实验室装置^[2],为更有效地开展 UPFC 的研究奠定了基础。我国的 UPFC 研究工作起步较晚,但进步很快。

目前,关于 UPFC 的研究主要包括:利用 UPFC 进行电力系统潮流控制^[3-4]、提高电力系统暂态稳定性^[5-6]、电力系统的谐波抑制^[7-8]及 UPFC 的有效控制策略^[9-10]等。但这些研究大都停留在数字仿真阶段,其有效性需通过实际装置的试验才能得到验证。

本文在 UPFC 原理分析的基础上,设计了电力系统动态模拟实验用的 UPFC 物理试验装置样机,重点介绍了 UPFC 的核心——控制与保护系统的实现方法,为提高监控系统性能,提出了一种新型的基于 ISA 总线的多 CPU 硬件体系结构,对多 CPU 系统的同步信号产生及总线驱动控制等进行了研究。

1 UPFC 的工作原理

含有 UPFC 的单机无穷大系统如图 1 所示。图

中, S_{LB} 为线路开关, S_{SH} 为并联侧开关, S_{SR} 为串联侧开关, S_{BY} 为旁路开关。

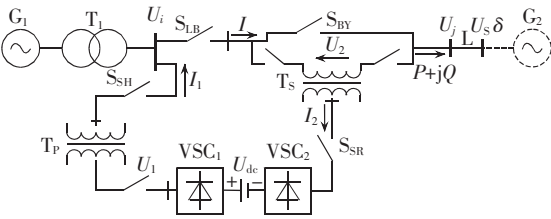


图 1 含 UPFC 的单机无穷大系统示意图

Fig.1 Single-machine-infinite-bus system with UPFC

UPFC 由 2 个共用直流侧电容的电压源变换器组成。变换器 VSC₁ 通过变压器 T_P 并联接入系统, VSC₂ 通过变压器 T_S 串联接入系统。VSC₁ 单独作用时,向接入点注入一个幅值可调并且与接入点电压 U_i 垂直的电流 I_1 ,向系统提供无功功率补偿从而调节注入点的电压,作用相当于 STATCOM。VSC₂ 单独作用时,向系统提供一个幅值可调并且与线路电流 I 垂直的串联电压 U_2 ,作用相当于 SSSC,同时也可以调节端电压。当 VSC₁ 和 VSC₂ 与直流侧电容共同以 UPFC 方式工作时,VSC₂ 出口电压 U_2 相位相对于线路电流在 $0^\circ \sim 360^\circ$ 范围内任意可调,从而达到调节线路有功功率和无功功率的目的。

串联和并联的 2 个变换器是 UPFC 主电路最重要的组成部分,它们通常由大功率电力电子器件组成,例如美国投运的 UPFC 就是由 2 个基于大功率 GTO、容量均为 $\pm 160 \text{ MV} \cdot \text{A}$ 的电压型逆变器组成。而 UPFC 之所以能够实现各种复杂的控制功能,则主要依靠其核心部分——控制与保护系统。

2 UPFC 物理实验装置的整体设计

本文研制的 UPFC 物理实验装置安装在电力系

统动态模拟实验室中,主要用于开展关于 UPFC 的各种实验性研究。其主要技术指标包括:额定电压 800 V,额定容量为 $\pm 15 \text{ kV} \cdot \text{A}$;VSC₂ 侧输出电压 U_2 用于可控串补时,补偿度的范围为 0~30%;用于移相时,移相角度的范围为 $0^\circ \sim 10^\circ$;用于端电压调节时,电压 U_2 的范围为系统电压的 0~20%;VSC₁ 以保证直流电容 U_{dc} 恒定为目标,根据 U_{dc} 幅值的变化调整 U_1 相对于系统电压 U_i 的相位^[11]。

UPFC 的 2 个变换器均为基于 IGBT 的 SPWM 调制的电压型逆变器,容量均为 $\pm 7.5 \text{ kV} \cdot \text{A}$ 。UPFC 的控制与保护系统的原理如图 2 所示,主要由信号处理、控制、保护和录波等 4 个单元组成。

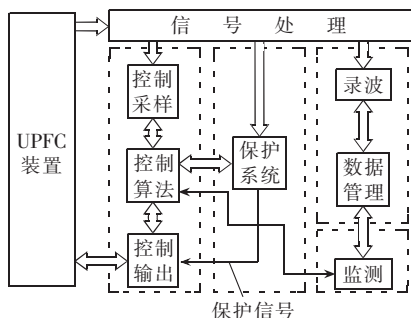


图 2 UPFC 控制与保护系统原理图

Fig.2 Principle of UPFC control and protection system

与其他 FACTS 控制器一样,本文设计的 UPFC 也采用分层控制方式,分为上层、中层和底层控制:上层控制主要根据电网信息及相应控制算法,得到 UPFC 的控制目标,包括有功功率 P_{Lref} 、无功功率 Q_{Lref} 、并联侧接入点电压 U_{iref} 、并联侧电流无功分量 I_{1ref} 、串联侧出口电压 U_{2ref} 等;中层控制根据上层控制器发出的目标指令,选用相应控制策略,得到底层控制所需 PQ 解耦控制指令值;底层控制输出触发脉冲信号,对 2 个变换器实施相应的 SPWM 控制。

可见,上层控制器实际上是系统级的控制,它需要考虑到 UPFC 和其他电力系统设备(如同步发电机等)的协调问题,比 UPFC 自身的控制高一个层次,因此,在图 1 所示的单机无穷大系统中,除了 UPFC 自身的信号外,上层控制器还需要检测发电机和无穷大系统的信息。底层控制器的功能则与变换器本体密切相关,与所接的单机无穷大系统并没有直接的联系,可以参照通常的变换器控制器进行设计。因此,本文开发的 UPFC 控制系统主要包括上述的上层和中层控制。

信号处理单元进行所有测量量的采集和变换,包括系统电压 U_i 和 U_j 、电流 I 、VSC₁ 输出电压 U_1 、电流 I_1 、VSC₂ 输出电压 U_2 、电流 I_2 、直流电容电压 U_{dc} 、以及各个开关的状态等;另外还包括发电机电压、电流以及无穷大母线电压等。为更好地对实验结果进行分析,以上交流电量的采集均为三相值。

保护单元根据所采集的数据,按照相关的保护算法和设定动作值给出保护信息。保护信息一方面

直接输出到控制单元,由控制输出电路根据相关的逻辑产生保护动作输出,同时传送到监视录波单元。

录波单元为系统研究提供可用于分析的数据信息,其数据由独立的数据采集单元完成,并通过转换接口与监控平台进行数据通信,该通信接口的下行数据为启动录波信号,上行数据为录波数据。

3 UPFC 控制与保护系统的硬件实现

由于需要检测处理的数据量极大,相应的计算工作量繁重,为了保证控制算法对运算能力的要求以及满足系统控制和保护速度的需要,UPFC 物理实验装置的控制与保护系统的硬件系统采用了基于 DSP 的多 CPU 设计方案。其具体构成如图 3 所示。

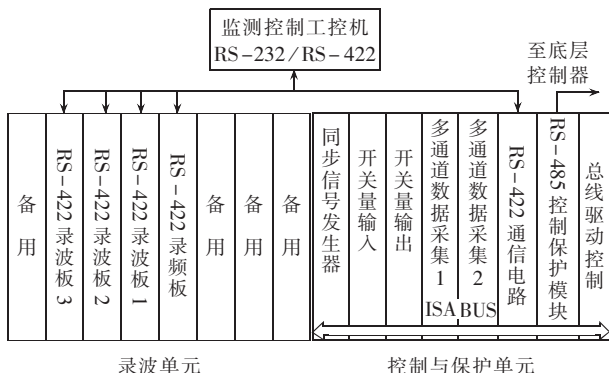


图 3 UPFC 控制与保护系统硬件结构图

Fig.3 Hardware structure of UPFC control and protection system

UPFC 的控制与保护系统硬件平台由监测控制工控机、录波单元和控制保护单元 3 部分组成,通过 RS-422 组成一个网络系统,控制保护单元的输出信号通过 RS-485 送到底层控制器,工控机的作用主要是人机接口 MMI。

录波单元和控制单元的硬件系统分别由一台工控机以及基于 ISA 总线扩展功能板模块构成,为了提高系统的可靠性、实时性及开放性,录波单元和控制保护单元采用了基于 DSP 的多 CPU 设计方案,即每块扩展板都是包含了 CPU(DSP)功能单元,执行单一的任务。扩展板按照功能可分为:录波模块、同步信号发生模块、开关量输入/输出模块、多通道数据采集模块、通信模块、控制保护模块和总线驱动控制模块等。为实现本地高速数据交换,各功能单元均由双口 RAM 交换接口进行数据交换,通过 ISA 总线将各功能模块连接成一个整体。下面介绍几种主要功能模块的实现方法。

3.1 同步信号发生模块

因为采用多 CPU 模式,所以各个功能模块之间的同步协调显得尤为重要,而同步信号发生模块产生的同步脉冲就可以使得各个模块工作都达到时间上的同步,避免数据混乱及误差。同步信号发生模块的硬件实现如图 4 所示。

同步信号发生模块的 CPU 采用 TI 的 16 位定点 DSP TMS 320 F 240(简称 F 240)。电压互感器(TV)

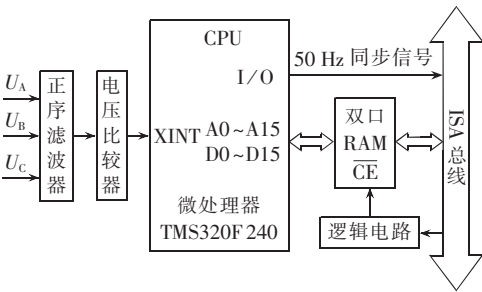


图 4 同步信号发生模块硬件结构图
Fig.4 Hardware structure of synchronous signal generation module

送出的发电机三相机端电压 U_A 、 U_B 、 U_C 经正序滤波器滤成机端正序电压 U_+ ，经电压比较器整形形成 u_+ 方波信号输入 F 240 的外部中断引脚(XINT)。F 240 通过其内部的定时器,计算得到精确的系统频率值,写入双口 RAM 中并置相应的新数据标志,等待总线驱动控制模块通过 ISA 总线读取双口 RAM 中的新数据;同时通过 F240 的 I/O 口输出 50 Hz 的同步脉冲信号。

为了提高晶体频率的测量精度,使用了延长测量时间,增加测量次数,并采用算术平均值的方法^[12],可以得到准确的电网频率,同时输出稳定的 50 Hz 同步脉冲信号作为工作节拍。通过实际试验中验证可知:该同步信号发生装置可在缺相情况下很好地运行,且在 TV 原方输入电压低至 10 V 的情况下也能很好运行。工作节拍设计为 20 ms,即电网的稳定工作频率,既可满足控制单元各功能模块工作要求——保证所有模块在 1 个工作节拍内完成所有的任务,也方便了测量电力系统的频率。

双口 RAM 的一端与处理器相连,另一端与 ISA 总线相连,其片选信号 $\overline{CE}_R$ 由 ISA 总线经逻辑电路控制,以确保当轮询到某个状态量时,只有相应的模块向总线输出数据。其他功能模块的双口 RAM 的工作原理都与此相似。

3.2 总线驱动控制模块

对于多 CPU 系统,为了避免各个 CPU 功能模块交换数据时产生混乱,不能使每个功能模块都具有总线驱动能力,因此除了同步信号发生模块,还需要一个单独的总线驱动控制模块,在整个控制单元中只有它具有总线驱动能力。总线驱动控制模块是整个控制单元实现数据交换的枢纽,起着关键性的作用。其硬件结构如图 5 所示,CPU 采用的也是 DSP F 240。

同步信号发生装置的 50 Hz 同步信号通过 ISA 接到 F 240 的非可屏蔽中断(NMI)上,一旦产生中断,就开始对其他各功能模块的双口 RAM 进行轮询,并将各双口 RAM 的数据搬到自己的数据 RAM 内,重新组合后分配给各个功能模块。数据交换时,总线驱动控制模块和其他功能模块的数据流向总是相反。

3.3 多通道数据采集模块

多通道数据采集模块的硬件结构如图 6 所示。

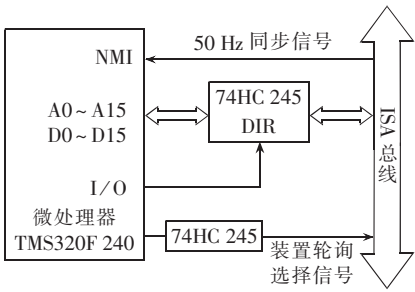


图 5 总线驱动控制模块硬件结构图
Fig.5 Hardware structure of bus drive control module

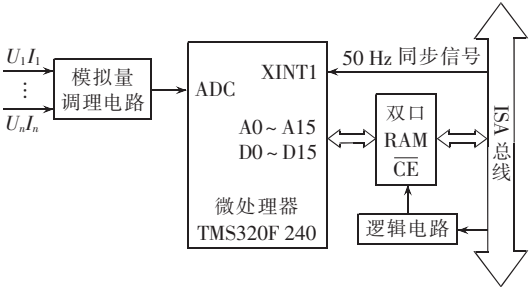


图 6 多通道数据采集模块硬件结构图
Fig.6 Hardware structure of multi-channel data acquisition module

其 CPU 也是 DSP F240,数据采集所需的AD为F240自带的 2 路 10 位 AD 转换器,定时中断采样频率为 800 Hz,转换时间为 5.5 μ s。当同步信号发生模块的 50 Hz 脉冲信号到来时,进入外部中断,进行电压、电流的幅值计算以及有功、无功的计算,计算完成后将计算所得的数据存储到双口 RAM 中,并置新数据的标志位,等待总线驱动控制器将数据搬走。

3.4 控制保护模块

UPFC 包括串联和并联 2 个变换器,因此设计了 2 个控制保护模块分别对 2 个变流器进行控制。控制保护模块的 CPU 采用 DSP TMS320F 206,其指令周期为 50 ns,带 4 KByte 的静态 RAM,完全可以满足控制保护算法的要求。其硬件结构如图 7 所示。

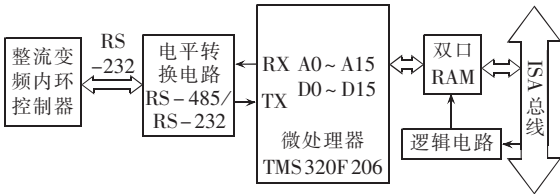


图 7 控制保护模块硬件结构图
Fig.7 Hardware structure of control and protection module

3.5 录波模块

录波单元的各个录波模块相对独立,功能基本相同,CPU 采用 DSP TMS320F 206,其硬件结构如图 8 所示。

录波模块采用的 AD 转换芯片是 14 位双极性的 MAX125 芯片,因为录波装置一般在故障情况下启动,为了便于分析故障信息中的高次谐波分量等,

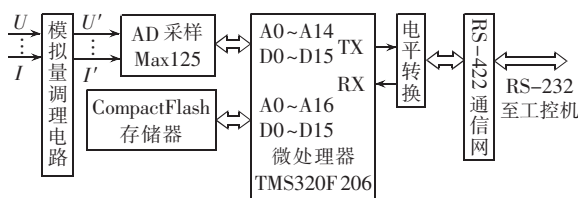


图8 录波模块硬件结构图

Fig.8 Hardware structure of wave recording module

采样频率选为 1.2 kHz, 录波时间选择 20 s, 这样录波的存储数据就很大, 因此采用 256 MB 大容量的 CompactFlash 卡作为数据存储载体。因为该系统的故障下需要记录的信息较多, 因此使用的录波模块数量也较多。

4 试验数据

本套 UPFC 物理试验样机已经开始进入试验阶段, 图 9 是其开环实验的波形图。

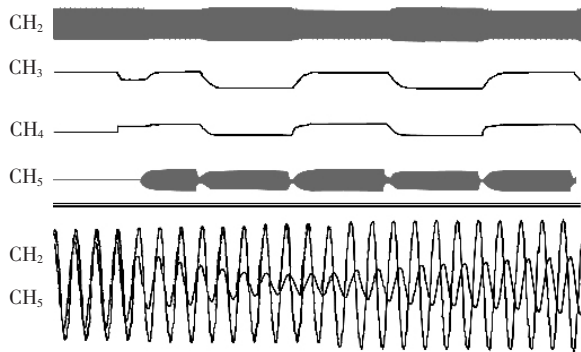


图9 UPFC 串联侧开环实验波形图

Fig.9 Waveforms of open loop experiment at serial side of UPFC

实验中, 由串联侧控制保护模块向 UPFC 装置级的底层控制器发出有功指令 ± 3 kW, 无功指令 $+3$ kvar、 -1 kvar, 有功和无功的正负 2 个指令变化的间隔通过同步脉冲信号控制在 3 s, 得到如图 9 所示 UPFC 装置串联侧的开环功率跟踪波形。图中 CH2 为串联侧出口电压 U_j 的电压波形; CH3 为线路上的有功跟踪变化波形; CH4 为线路上的无功跟踪变化波形; CH5 为线路上的电流变化波形; 最下方为 CH2 出口电压和 CH5 线路电流在功率变化时(图中观察窗所在的位置)的局部放大图, 从该窗口可以很清晰地观察到电流的幅值变化以及电流相对电压相位的变化过程。可见该套 UPFC 控制系统能够达到较理想的控制效果。

5 结论

基于多 CPU 的 UPFC 控制与保护系统可靠性高、结构灵活、通用性强, 系统扩容方便, DSP 的数据处理功能强大, 控制与保护系统能够根据系统运行工况的变化及时为 UPFC 底层控制提供准确的控制参数, 进而改变电网潮流, 改善电能质量, 同时能够准确真实记录故障时的故障信息, 便于分析各种故

障。所设计的 UPFC 物理实验样机可以为 UPFC 相关理论研究提供一个很好的试验平台, 便于验证各种控制算法。多 CPU 的硬件体系结构对其他的监控系统设计具有较好的参考价值。本文研制的 UPFC 物理实验样机已经进入试验阶段。

参考文献:

- [1] 王仲鸿, 沈斐, 吴铁铮. FACTS 技术研究现状及其在中国的应用与发展[J]. 电力系统自动化, 2000, 24(23): 1-5.
WANG Zhong-hong, SHEN Fei, WU Tie-zheng. FACTS application in China and its developing trends[J]. Automation of Electric Power Systems, 2000, 24(23): 1-5.
- [2] 王建, 吴捷. 统一潮流控制器的建模与控制研究综述[J]. 电力自动化设备, 2000, 20(6): 41-45.
WANG Jian, WU Jie. Overview of UPFC modeling and control[J]. Electric Power Automation Equipment, 2000, 20(6): 41-45.
- [3] 刘前进, 孙元章, 黎雄, 等. UPFC 潮流控制与优化的研究[J]. 电力系统自动化, 2000, 24(18): 23-26.
LIU Qian-jin, SUN Yuan-zhang, LI Xiong, et al. A study of power flow control and optimization by UPFC[J]. Automation of Electric Power Systems, 2000, 24(18): 23-26.
- [4] 谭伟璞, 柳焯, 王鹏. UPFC 基于变量瞬态值的功率控制算法[J]. 中国电力, 2000, 33(2): 25-28.
TAN Wei-pu, LIU Zhuo, WANG Peng. Instantaneous power control algorithm of the UPFC[J]. Electric Power, 2000, 33(2): 25-28.
- [5] GHOLIPOUR E, SAADATE S. Improving of transient stability of power systems using UPFC[J]. IEEE Transactions on Power Delivery, 2005, 20(2): 1677-1682.
- [6] 奚江惠, 涂光瑜. 基于统一潮流控制器对电力系统暂态稳定控制的研究[J]. 电力系统自动化, 1997, 21(3): 51-53.
XI Jiang-hui, TU Guang-yu. Improvement of power system transient stability using unified power flow controller[J]. Automation of Electric Power Systems, 1997, 21(3): 51-53.
- [7] 王晶, 陈学允. UPFC 对动态电能质量影响的分析研究[J]. 电工技术学报, 2004, 19(1): 44-48.
WANG Jing, CHEN Xue-yun. Study of the impacts of UPFC on dynamic power quality[J]. Transactions of China Electrotechnical Society, 2004, 19(1): 44-48.
- [8] ENSLIN J H R, ZHAO Jian, SPEE R. Operation of the unified power flow controller as harmonic isolator[J]. IEEE Transactions on Power Electronics, 1996, 11(6): 776-784.
- [9] 黄振宇, 刁勤华, 倪以信, 等. 统一潮流控制器的控制系统分析及控制策略设计[J]. 电网技术, 1999, 23(7): 3-9.
HUANG Zhen-yu, DIAO Qin-hua, NI Yi-xin, et al. UPFC control system analysis and control strategy design[J]. Power System Technology, 1999, 23(7): 3-9.
- [10] 谢桦, 梅生伟, 徐政, 等. 统一潮流控制器的非线性控制和对电力系统稳定性的改善[J]. 电力系统自动化, 2001, 25(19): 1-5.
XIE Hua, MEI Sheng-wei, XU Zheng, et al. Nonlinear control for UPFC to improve transient stability of power systems[J]. Automation of Electric Power Systems, 2001, 25(19): 1-5.
- [11] 唐爱红, 程时杰. UPFC 控制器及其物理实验装置的设计[J]. 电力系统及其自动化学报, 2004, 16(6): 1-4.
TANG Ai-hong, CHENG Shi-jie. UPFC controller and implementation scheme in laboratory[J]. Proceedings of the EPSA, 2004, 16(6): 1-4.
- [12] 张鹏, 王少荣, 程时杰. 电网状态监测系统 GPS 同步时钟的稳定性研究[J]. 继电器, 2004, 32(23): 18-22.
ZHANG Peng, WANG Shao-rong, CHENG Shi-jie. Stability study of GPS synchronous clock in the status monitoring system of power network[J]. Relay, 2004, 32(23): 18-22.

(责任编辑: 李玲)

作者简介:

孙海顺(1971-), 男, 湖北鄂州人, 讲师, 博士, 主要研究方向为电力系统分析、运行与控制。

Design of multi-CPU-based UPFC control and protection system

SUN Hai-shun¹, GU Shuang-kui¹, WEN Jin-yu¹,
WANG Shao-rong¹, CHENG Shi-jie¹, CAO Yi-jia²

(1. Huazhong University of Science and Technology, Wuhan 430074, China;
2. Zhejiang University, Hangzhou 310027, China)

Abstract: The overall design of an experimental UPFC(Unified Power Flow Controller) is provided based on its principle. For its core;control and protection(C & P) system,multi - CPU hardware architecture is presented,which is divided into three parts;monitoring unit,recording unit and C & P unit. The function module for each unit includes a CPU(DSP) to perform unitary task. Function modules exchange data with each other via dual-port RAM. All function modules connect together with ISA bus. The design of each function module is described in detail. The dynamic simulation shows that the multi - CPU hardware structure is efficient,which can be referred in designing other C & P systems of FACTS (Flexible AC Transmission System).

This project is supported by the National Basic Research Program(973)(2004CB217906).
Key words: UPFC; control and protection system; multi-CPU; DSP