

基于 DSP56F 807 内部 A/D 实现 交流采样的抗干扰设计

景 展

(河海大学 电气工程学院, 江苏 南京 210098)

摘要: 描述了应用 DSP56F807 及其内部 A/D 实现交流采样的方法, 对于出现的电磁干扰下的零漂问题, 利用 PSpice 电路分析软件, 对电路中使用的多种二阶滤波方案(无源二阶滤波、滤波电容接 U_{os} 或接地, 无源二阶滤波加运放跟随, 滤波电容接地以及有源二阶滤波电路中相应电路)进行分析, 给出在该类应用中可行的无源二阶滤波、滤波电容一端接地方案, 并解决了干扰下的零漂问题。分析基准电压回路的电路设计, 通过增大并联电容或供电电源的容量, 解决了动态工作下的零漂问题。

关键词: DSP; 单极性 A/D; 交流采样; 抗干扰; 二阶滤波

中图分类号: TM 930; TN 47

文献标识码: B

文章编号: 1006-6047(2006)01-0083-03

1 DSP56F807 介绍

电力系统的交流采样装置需对交流电压、电流信号采集, 并根据采集数据计算功率等计算量。对采集的数据需要考虑谐波影响, 且测量装置最好能提供谐波分析功能, 因此, 本文采用基于 DSP 与快速 A/D 相结合的技术, 以便实现每周期 128 点频率跟踪采样与快速傅里叶(FFT)计算, 从而保证良好精度要求的真无功计算及谐波计算数据。

Motorola 公司的 DSP56F807 芯片是一款将 DSP 与快速 A/D 较好地相结合的混合型处理器, 它不仅具有 DSP 的计算优势, 还具有 MCU 的逻辑控制优势。它的内部 A/D 具有如下特点^[1]:

- a. 4 组 4 路(共 16 路)A/D 转换输入通道, 每组有各自的采样保持电路和 A/D 转换器;
 - b. 模/数转换分辨率为 12 位, 转换器将各自结果存储在数字输出寄存器中, 等待内部操作;
 - c. 输出数据可设为有符号或无符号数据, 可设置预置偏移量校正输出数据;
 - d. 可设过零点中断功能;
 - e. A/D 转换器时钟和总线时钟关系是可编程的, SYNC 脉冲或 START 位上的写操作触发 A/D 转换;
 - f. 可设为单边输入和差分输入, 也可以混合使用;
 - g. 有同时和顺序 2 种采样模式, 具有 6 种扫描方式;
 - h. ADC 最大时钟频率为 5 MHz, 在每次同时扫描时转换速度最快仅需 5.3 μ s。
- 这款内置 A/D 也有一些使用不便或不足之处:
- a. 输入只能为单极性信号;
 - b. 内部 A/D 的信噪比只有 60 dB。

但这些不足可以通过合理的电路和软件设计弥补解决, 并且达到电力系统测量的标准要求, 即电压电流引用误差不大于 0.2 %。

由于交流电量输入信号是双极性的, 而 A/D 只允许单极性输入, 因此可通过加偏置电压匹配 A/D 输入。为防止傅氏算法的频率混叠效应和提高抗干扰能力, 可采用硬件低通滤波回路。同时还要考虑是否加运放跟随, 以进行阻抗匹配。在 DSP 的高速总线信号应用环境下, 这样的前端输入电路应合理设计以减少信号干扰, 提高内部 A/D 应用的总体信噪比及抗干扰能力。

2 初始电路

本文设计的交流采样装置主要指导思想是在保证性能的前提下, 尽可能降低成本。最初的设计电路参见图 1。

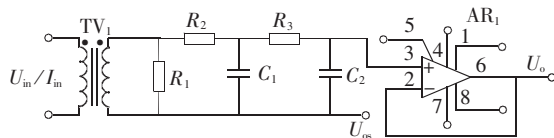


图 1 交流输入回路原理图

Fig.1 Principle diagram of AC input circuit

交流互感器(TV₁)选用坡莫合金磁心、体积小巧的互感器。电压互感器原方串电阻形成电流, 实际为 1:1 电流型互感器。滤波回路采用二阶无源滤波, 后面加运放跟随。

为了适应 A/D 转换器单极性输入的要求, 在图 1 的外加偏置电压 U_{os} 处, 提供了 A/D 输入量程一半的电压。这个电压从基准电压源 U_{ref} 处用电阻分压和运放跟随形成。基准电压回路参见图 2。图中 C_0 采用的是 D_1 芯片手册中给的样例参数 1 μ F。 U_{ref} 同时为 A/D 转换器提供基准电源。

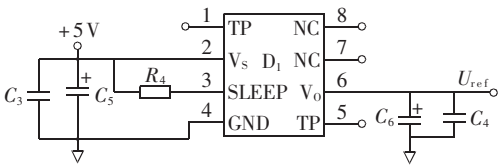


图 2 A/D 基准电压回路

Fig.2 Circuit of A/D benchmark voltage

根据以上相关电路设计出的装置,在不施加任何干扰情况下采集数据准确,但在作快速瞬变电磁兼容试验时,发现干扰施加期间,采样及 FFT 计算输出的数据有漂动,最大达满刻度的 10% 左右,显然这是不合格的。出现这种现象,通常有以下原因:

- a. 选用的互感器隔离效果较差,原副方侧寄生耦合电容较大;
- b. 印制板(PCB)布线不合理,导致强弱电相互耦合,干扰引入到弱电系统,或关键信号线布线不当;
- c. 地线系统布置不合理,或模拟地和数字地处置不当,相互干扰所致;
- d. 内部 A/D 转换器的信噪比较低,抗干扰能力差;
- e. 电路设计不合理,或参数选择不当等。

通过对比、布线检查和试验等,基本排除前 3 项的可能性,而 d 项因素牵涉到硬件改动较大,决定先考察分析 e 项可疑因素,如果不能解决问题,再考虑 d 项或其他项因素。

3 滤波回路效果分析

由于最初设计采用了信噪比相对较低的 A/D 转换器,且其内置在主频较高的 DSP 芯片中,考虑到在各频段稳定可靠工作,采用了无源二阶滤波回路。由于出现了抗干扰问题,就需对滤波回路重新仔细分析,寻找可能的薄弱或缺陷方案。从这个角度出发,对滤波回路及其相关后续电路分 3 种情况进行分析:无源二阶滤波、无源二阶滤波加运放跟随、有源二阶滤波^[2]。

另一方面,由于 A/D 转换器输入是单极性的,在交流互感器副方侧一端加了偏置电压,见图 3 中的 U_{os} 。但从简单原理分析发现,滤波电容 C_1 和 C_2 的一端接地应比接 U_{os} 好,这样可使干扰电流对地释放。为了得出明确的结论,对此进行了模拟分析。

综合上面 2 组分析方案,共建立了 6 种电路模型方案分析他们对输入信号、共模干扰信号及来自 DSP 芯片内部干扰信号的滤波效果:

- a. 无源二阶滤波,滤波电容接 U_{os} ,见图 3;
- b. 无源二阶滤波加运放跟随,滤波电容接 U_{os} ;
- c. 有源二阶滤波,滤波电容接 U_{os} ;
- d. 无源二阶滤波,滤波电容接地;

- e. 无源二阶滤波加运放跟随,滤波电容接地;
- f. 有源二阶滤波,滤波电容接地,见图 4。

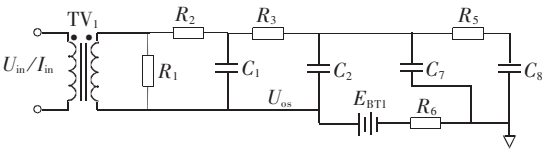


图 3 电路模型 a 简图

Fig.3 Diagram of model a

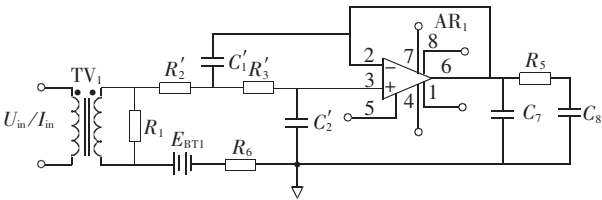


图 4 电路模型 f 简图

Fig.4 Diagram of model f

图 3 和 4 中 E_{BT1} 和 R_6 是偏置电压形成回路的等效电路, C_7 是芯片管脚间、管脚对封装体间、芯片焊盘、芯片静电保护及信号回路等寄生电容的等效电容, R_5 是静电隔离和多路转换的等效电阻, C_8 是采样保持电路的采样电容。图中的分立电阻、电容等器件在分析时按集总等效阻抗模型处理^[3],其等效电路在图中简略。模型 b~e 的等效电路参照模型 a~f 和图 1 可以得到,这里从略。

按照以上各种模型,分别施加输入信号激励、共模干扰激励和来自 DSP 侧干扰激励,并观察输出信号,即 C_8 上电压与激励信号比。利用 PSpice 软件^[4]对应相应的 6 种模型进行分析,得到不同频率激励下的衰减输出响应曲线(从略)。从这些曲线可以看出各种模型方案在不同频率段的响应是不同的,结果参见表 1。

表 1 6 种模型滤波效果对比表

Tab.1 Filtering effect contrast among six models

项目	模型					
	1	2	3	4	5	6
低频输入信号	一般	一般	较好	一般	一般	好
高频输入信号	较好	好	一般	较好	好	一般
低频共模	一般	一般	一般	较好	较好	好
高频共模	差	较好	一般	好	很好	一般
低频 DSP 侧干扰	一般	好	较好	一般	好	较好
高频 DSP 侧干扰	较好	一般	一般	好	一般	一般

从以上分析可以明显看出:滤波电容接地是有益的,而无源滤波、无源滤波加运放跟随以及有源滤波这 3 种情况在不同频率段各有优缺点,可根据应用环境在哪个频率段干扰大而选择不同方案。由于本文测量基于主频较高的 DSP 应用,来自 DSP 侧的干扰频率较高,而 A/D 采样频率为 128 点/每周,考虑电力系统高于 64 次的谐波含量很低^[5-6],采用无源二阶滤波即可;另外,由于 A/D 转换器输入阻

抗较大,决定采用模型 d 方案重新设计电路和 PCB,即采用无源二阶滤波、滤波电容一端接地的方案进行试验。

通过对设计更改后的 2 块相同电路板进行一系列电磁兼容试验,发现有一块电路板已通过干扰试验,但另一块电路板却仍有零漂,这说明电路板上可能仍有不合理的器件参数,因不同芯片参数有差异而显现出这种现象。

4 A/D 基准电源滤波电容的取值

针对上述零漂问题,对硬件原理又仔细核对了一遍,发现图 2 中 A/D 基准电源滤波电容 C_6 的容值 $1\ \mu\text{F}$ 可能存在问题。虽然这是基准源芯片典型电路给出的参数,但这个参数主要应取决于 A/D 芯片对基准源动态吸取电流大小而定,而不是任何场合使用典型值即可。查阅 DSP 芯片关于其内置 A/D 转换器的数据手册,重新核对发现 U_{ref} 负载电流典型值需 $2 \times 12\ \text{mA}$,但其最大值达 $2 \times 16.5\ \text{mA}$,而基准源芯片能提供的输出电流最大为 $30\ \text{mA}$,显然基准源电路设计容量不足,将 C_6 电容换成 $10\ \mu\text{F}$,结果问题顺利解决。但反过来回顾电磁干扰下的零漂问题,怀疑也可能是这个电容量不足引起,因此重新试验,发现原来的模块更换为 $10\ \mu\text{F}$ 电容后,干扰下零漂依然存在,因此仅增大电容量不能解决根本问题。

为了可靠,在最终设计方案中,用了 2 片基准源芯片,分别给 2 路 U_{ref} 基准电压供电。该设计最后通过所有干扰试验和 48h 通电试验。

5 结论

上述电路更改后的样机最终通过所有干扰试验,并达到预期的采样精度。这些分析和试验,总结出 2 点结论。

a. 单极性 A/D 应用于交流信号输入时,通过加偏置电压方法实现的输入电路,滤波回路电容一端不应接在互感器输出负端,而应接地。

b. 电压基准源输出的大容值滤波电容参数不应一味套用基准源芯片典型参数,而应视不同负载情况取不同值。

参考文献:

- [1] 邵贝贝,龚光华,薛涛,等. Motorola DSP 型 16 位单片机原理与实践[M]. 北京:北京航空航天大学出版社,2003.
- [2] 夏春华. 模拟电子技术[M]. 北京:中国水利水电出版社,2003.
- [3] 叶正贤. 认识电阻、电容、电感及如何选用 LCR 电桥[J]. 电子质量,2003,24(3):119-120.
YE Zheng-xian. How to identify the resistance, capacitance, inductance and how to choose the LCR electronic bridge[J]. **Electronics Quality**, 2003, 24(3):119-120.
- [4] 苏宏宇. PSpice 电路编辑程序设计[M]. 北京:国防工业出版社,2004.
- [5] 翁利民,陈允平,吴轶群. 配电网的谐波源特性与高次谐波的抑制[J]. 电力电容器,2001,22(4):10-14.
WENG Li-min, CHEN Yun-ping, WU Yi-qun. Characteristics of harmonic sources and restraint of high-order harmonics in power distribution network[J]. **Power Capacitors**, 2001, 22(4):10-14.
- [6] 黄纯,江亚群,孙梓华. 基于虚拟仪器技术的电力谐波测试[J]. 电力自动化设备,2001,21(11):55-57.
HUANG Chun, JIANG Ya-qun, SUN Zi-hua. Power harmonic measurement based on virtual instrument technology [J]. **Electric Power Automation Equipment**, 2001, 21(11):55-57.

(责任编辑:汪仪珍)

作者简介:

景 展(1971-),女,河南商丘人,讲师,从事电力系统测量与控制教学与研究工作(E-mail:yuhuaawujz@126.com)。

AC sampling anti-interference design based on inner A/D of DSP56F807

JING Zhan

(Hohai University, Nanjing 210098, China)

Abstract: A method of AC sampling applying DSP56F807 and its inner A/D converter is described. To solve the zero drift problem appeared in electromagnetic disturbance, several 2nd order filtering schemes are analyzed with PSpice, including passive or active 2nd order filter with or without amplifier and follow-up circuits while filtering capacitor connected to U_{os} or ground. A feasible scheme of passive 2nd order filter with one end of filtering capacitor grounded is presented. Based on the analysis of benchmark voltage circuit design, the zero drift in dynamic condition is solved by increasing capacitance of the parallel capacitor or the power supply.

Key words: DSP; monopole A/D; AC sampling; anti-interference; 2nd order filter