

基于 CPLD 设计的高速机械 传动误差采集模块

吴崇咸¹, 彭东林², 王彦刚¹, 石永福¹

(1. 重庆大学 机械传动国家重点实验室, 重庆 400044;

2. 重庆工学院 电子工程系, 重庆 400050)

摘要: 介绍了基于信号细分理论的机械传动误差采集模块部分的实现原理。给出了传动误差测量系统的整体设计, 包括前置整形放大电路、误差采集模块及 FIFO 数据缓冲器、USB 2.0 传输模块、PC 机等。基于 CPLD 芯片 EPM7512AETC144 设计了误差采集模块, 描述了其组成部分(控制命令寄存器组、可控分频器、FIFO 控制器、相差产生电路、全脉冲计数器、相差计数器等), 并通过时序仿真验证了 CPLD 设计的正确性。该 CPLD 可再编程的特性方便了后续开发对采集模块的升级。

关键词: CPLD; EZ-USB FX; 传动误差

中图分类号: TM 930.9

文献标识码: B

文章编号: 1006-6047(2006)02-0065-04

测量传动误差 TE(Transmission Error)的方法有多种, 其中一种基于信号细分原理的测量方法, 改善了仪器性能, 简化了硬件电路, 更重要的是它适用于各种传动比, 克服了小数、无理数传动比不能测量的情况。CPLD(Complex Program Logic Device)是一种复杂的用户可编程逻辑器件, 由于采用连续结构, 易于预测延时, 从而使电路仿真更加准确。近年来, 由于采用先进的集成制造工艺和批量生产, 1 个芯片就可以实现一个复杂的数字电路系统。运用信号细分原理测量传动误差的方法, 主要是针对整形后的脉冲信号进行处理, 因此很容易将整个采集模块集成到 1 片 CPLD 中, 同时由于 CPLD 有方便的可再编程特性, 方便采集模块的升级, 无需重新设计电路和印刷板。本文讨论的 CPLD 采用 ALTERA 公司的 MAX7000AE 系列。

收稿日期: 2005-06-22

1 信号细分方法采集模块的原理^[1-4]

信号细分原理图如图 1 所示。图中 CLKIN 为高频时钟插补信号, H_SIGNAL 为传动机械高速端脉冲信号, L_SIGNAL 为传动机械低速端的脉冲信号, XIAO_SIGNAL 为传动比小数部分的脉冲信号。XIAO_SIGNAL 是在 L_SIGNAL 上升沿变低, 在 H_SIGNAL 为上升沿时变高, 即为高速端与低速端的相差。以 CLKIN 为时钟基准, 分别计算出 H_SIGNAL, L_SIGNAL 的 1 个脉冲包含的基准时钟数, 就可得到 H_SIGNAL, L_SIGNAL 在这个脉冲段的时间 t , 又 H_SIGNAL, L_SIGNAL 1 个脉冲段所对应的角度 φ_0 , 可由齿轮 1 周的齿数和栅式位移传感器 1 周的刻线数决定, 因此高速、低速端此时的单端转动速度可由 t/φ_0 算出。以 H_SIGNAL 为时钟基准, 计算 L_SIGNAL 的 1 个脉冲包含 H_SIGNAL 的时钟数, 就可得到高速端与低速端间的传动比的整数部

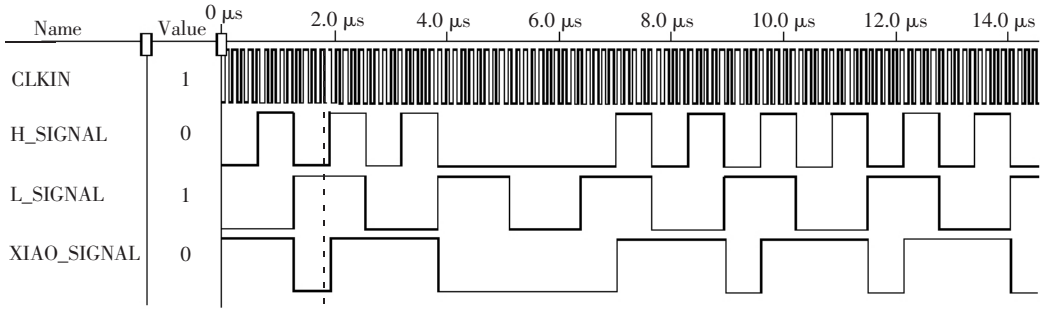


图 1 信号细分原理图
Fig.1 Principle of signal subdivision theory

分。以 CLKIN 为时钟或一更高的时钟为基准，同样计算出 XIAO_SIGNAL 每个脉冲低电平部分包含的时钟数，就可得到传动比小数部分。后续具体的对 PC 机部分对采集数据的处理与分析以及信号细分原理可参阅文献[1-2]。

2 系统整体设计^[5-10]

整个传动误差测量系统主要由 2 路前置整形放大电路和误差采集模块 EPM7512AETC144, FIFO 数据缓冲器, USB 2.0 传输模块, PC 机构成, 如图 2 所示。CPLD 设计的误差采集模块, 用 1 片 MAX7000AE 系列的 EPM7512AETC144-7 实现, 用来完成整个误差采集工作, 同时把每次采集到的 1 组数据按需要格式序列化写入 FIFO 数据缓冲器中。USB 传输模块选用 Cypress 公司的 EZ_USB FX 2.0 系列芯片 CY7C 6803, FIFO 数据缓冲器选用 CY7C462A (16 k x 9 FIFO)。USB 2.0 传输模块接收 PC 机的命令后, 能对误差采集模块重新配置, 并在采集过程中同步整个的通信进程, 在 FIFO 数据缓冲器有数据时, 利用 EZ_USB FX2.0 芯片 Slave FIFO (从 FIFO) 异步读/写接口模式的 Auto2In (自动打包) 工作机制, 能够有效充分利用 USB 2.0 总线的传输带宽, 把采集到的数据传给 PC 机, 不会出现因外围设备的数据移入 EZ_USB FX 芯片内部太慢而产生传输瓶颈。

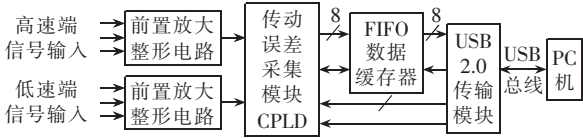


图 2 传动误差系统构成图
Fig.2 Structure of transmission error measuring system

3 CPLD 设计的传动误差采集模块^[7-8]

传动误差采集模块 EPM7512AETC144 是整个误差测量系统中的关键部件, 主要是根据 USB 预先设置的分频数控制 3 个可控分频器, 启动各路数据采集过程, 同时由 USB 使能 FIFO 控制器的数据输出。传动误差采集模块由控制命令寄存器组、3 个可控分频器、FIFO 控制器、相差产生电路、3 个 16 位的全

脉冲计数器、16 位相差计数器等部分组成。低速端、高速端的分频、插补时钟的产生、脉冲计数、FIFO 的数据分解及写出等控制均由该 CPLD 设计的采集模块芯片执行, 其内部逻辑结构如图 3 所示。

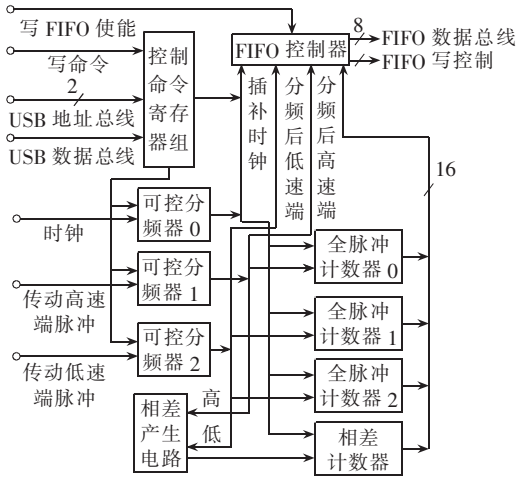


图 3 传动误差采集模块 (CPLD) 逻辑结构示意图
Fig.3 Logic diagram of transmission error sampling module (CPLD)

3.1 控制命令组

控制命令组用于寄存来自 USB 2.0 传输模块的命令, 并根据 USB 的命令设置 3 个可控分频器。可控分频器 0 将外部时钟作为输入时钟, 根据寄存器组的分频数, 可输出一个需要的高频插补时钟, 插补时钟频率越高计数器分辨率就越高。但不总是分辨率越高越好, 因为对一个很低频的脉冲插补计数, 无需非常高的高频插补时钟, 高频插补时钟还可能引起计数器计数溢出, 例如 10 MHz 的插补时钟, 16 位的计数器, 为保证计数不溢出, 脉冲频率就不得低于 $10 \times 10^6 / 2^{16} = 160$ (Hz), 若低于 160 Hz, 10 MHz 的插补时钟就需分频处理。

3.2 可控分频器 1, 2

可控分频器 1, 2 是对传动高速、低速端输入脉冲信号分频处理, 无需后续处理, 即可实现均匀的对多个脉冲进行累加的效果, 例如齿轮转动 1 周, 可能有 10 240 个脉冲, 此时可进行 10 分频得到 1 024 个脉冲, 即只需传送 1 024 个采样数据包, 这有利于降

低对通信速度的要求,同时方便 PC 机部分对此 1 周固定 1024 点进行傅里叶分析。

3.3 全脉冲计数器 0,1,2

全脉冲计数器 0,1,2 是对一个脉冲的低电平和高电平都进行插补计数的计数器,分别对应着传动高速端、传动低速端、传动比整数部分。相差计数器仅仅对图 1 中 XIAO_SINGAL 中的低电平部分进行插补计数,对应着传动比小数部分。所有的计数器都是 16 位的,基本可满足需要,若需提高系统的分辨率,可对 CPLD 再编程。

3.4 FIFO 控制器

FIFO 控制器是在每个分频后高速端脉冲的上升沿来临时,在写 FIFO 使能的情况下,把 3 个全脉冲计数器和相差计数器的值写入外部 8 位 FIFO 数据缓冲器中,因 4 个计数器都是 16 位的,所以每次需发送 8 个字节,触发 8 次写操作。FIFO 控制器是以分频后高速端脉冲来触发 1 次传输的,若遇到分频后低速端此时没有 1 个脉冲上升沿来临,则对传动低速端,传动比整数部分及小数部分填 0 处理,PC 机接到数据 0 时,即可判定此次数据包只有传动高端数据有效。传动误差采集模块一般工作步骤如下:写 FIFO 使能置为无效,对外部 FIFO 数据缓冲器清零;写命令使能,通过地址线与数据线,配置 3 个可编程分频器;写 FIFO 使能置为有效,开始数据采集操作。

4 误差采集模块时序仿真

如图 4 所示,用 MAX+PLUS II 对误差采集模块 CPLD 进行了时序仿真。

a. EN_byUSB(写 FIFO 使能)在 0~4 μs 为低电平,使得 wrfifo(FIFO 写控制)在此时间段无写脉冲输出,即禁止向外部 FIFO 写入任何数据。

b. CMD_EN(写命令使能)在 0~2 μs 为高电平,使能配置误差采集模块,在 CMD_CLK(写控制) CMD_DABUS(数据线) CMD_ADRBUS(地址线)作用下,依次写入 0,1,1,即配置可编程分频器 0,1,2 分别为不分频、2 分频、2 分频的工作方式。

c. X_SIGNAL(传动比小数部分)在 L_OUT 上升沿时变低,相差计数器开始计数,在 H_OUT 上升沿时变高,相差计数器结束计数。

d. 向外部 FIFO 输出数据的顺序依次为 HOUT, LOUT,传动比整数部分,XIAO_SIGNAL(小数部分)的脉冲宽度。在 4.5 μs 时 HOUT 为上升沿,同时被使能 FIFO 输出,依次输出 003F 0080 0002 002F,由图可知,仿真前 H_SIGNAL,L_SIGNAL 脉冲宽度分别被设置为 0020,0040,2 分频后应输出 0040 0080,因存在 1 个计数单位的分辨率误差,所以输出 003F 0080,单端速度仿真正确,同时由图可知 LOUT 脉冲宽度为 HOUT 的 2 倍,及传动比整数部分为 2,与输出吻合。

e. 传动比小数部分由图可知是 HOUT 脉冲宽度的 3/4,输出的 002F 即为 003F 的 3/4。

在 5.5 μs 时,因为 LOUT 在 4.5~5.5 μs 无脉冲上升沿,所以此次输出只有 HOUT 传动高速端数据输出有效,其他字节填 0 处理,输出 003F 0000 0000 0000 与设计吻合。

5 USB2.0 传输模块^[5-6,9-10]

USB2.0 传输模块是完成本系统基本传输功能的

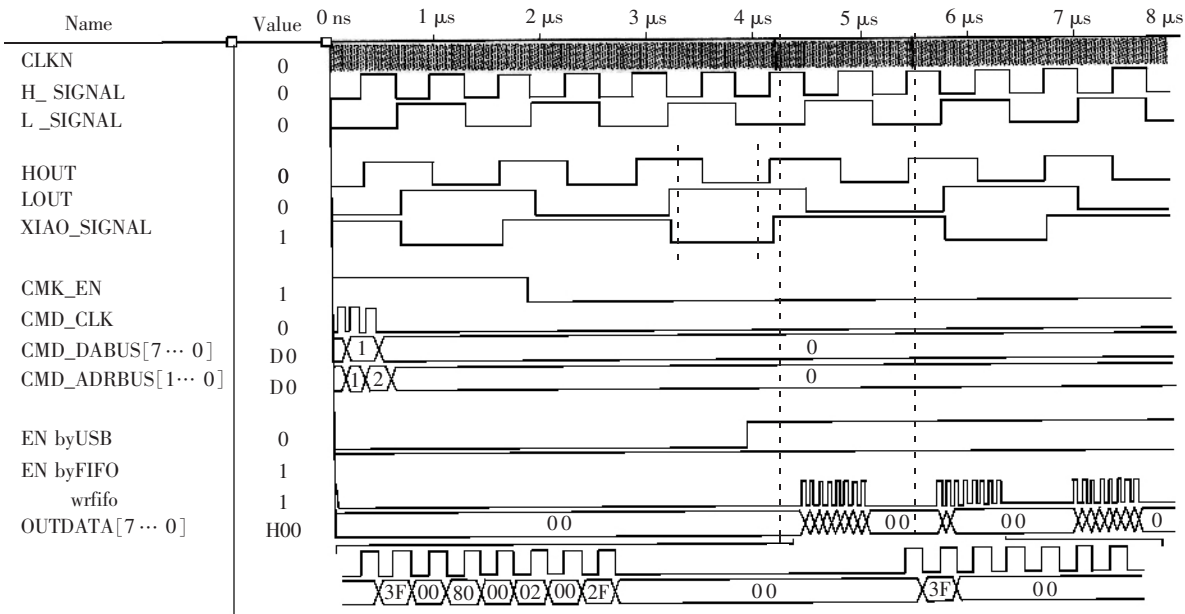


图 4 误差采集模块 (CPLD) 时序仿真图
Fig.4 Sequential simulation of error sampling module

重要部分,采用 Cypress 公司 USB 2.0 芯片 Cy7c68013,芯片内置 1 个 8051 处理器、1 个串行接口引擎(SIE),1 个 USB 收发器 8.5 kB 片上 RAM,4kB FIFO 存储器以及 1 个通用可编程接口(GPIF)。SIE 执行所有基本的 USB 功能,将嵌入式 MCU 解放出来以用于实现专用的功能,并保证其持续的高性能的传输速率。该芯片还提供了一种独特架构,使 USB 接口和应用环境直接共享 FIFO,而微控制器可不参与数据传输但允许以 FIFO 或 RAM 的方式访问这些共享 FIFO。这种被称为“量子 FIFO(Quantum FIFO)”的处理架构,较好地解决了 USB 高速模式的带宽问题。在本系统采用的 Slave FIFO(从 FIFO)异步读/写接口模式的 Auto2In(自动打包)工作机制下,USB 2.0 传输模块对于数据采集模块而言,可以简单的看成一个异步 FIFO,多重 FIFO 之间的切换以及数据的打包发送和协议处理完全无需用户干预,使用非常方便。

6 结语

通过上述对系统的设计、分析及采集模块的时序仿真,采用 CPLD 可以减小印刷版的面积,降低布线难度,提高电路的可靠性,特别是 CPLD 的可再编程特性,极大地方便了后续开发对采集模块的升级。同时 CPLD 与 USB 2.0 传输模块的组合能够做到实时的数据采集与传输,为整个传动误差测量系统提供了有效的硬件实现方案。

参考文献:

- [1] 刘会耕,彭东林,刘小康,等. 齿轮整体误差测量仪信号的细分原理[J]. 现代制造工程,2002(6):47-49.
- LIU Hui-geng,PENG Dong-lin,LIU Xiao-kang,et al. Sub-division disposal of signal of gear integrated error tester [J]. **Modern Manufacturing Engineering**,2002(6):47-49.

- [2] 彭东林,张光辉,郭松涛,等. 全微机化传动误差测量分析系统的研制[J]. 重庆大学学报:自然科学版,1993,16(6):70-74.
- PENG Dong-lin,ZHANG Guang-hui,GUO Song-tao,et al. Full microcomputerized testing and analysing system for transmission error[J]. **Journal of Chongqing University: Science Edition**,1993,16(6):70-74.
- [3] 彭东林,刘成康,刘冲. 用数值拟合法进行误差信息分离的研究与实践[J]. 重庆大学学报:自然科学版,1997,20(6):53-57.
- PENG Dong-lin,LIU Cheng-kang,LIU Chong. Research and practice on separation of errors by numerical fitting [J]. **Journal of Chongqing University:Science Edition**,1997,20(6):53-57.
- [4] 彭东林,张光辉,郭晓东,等. 传动链运动特性检测分析系统 FMT 的研制[J]. 重庆大学学报:自然科学版,1993,16(1):52-57.
- PENG Dong-lin,ZHANG Guang-hui,GUO Xiao-dong,et al. The development of FMT system for measuring motion of property of the drivertrain[J]. **Journal of Chongqing University:Science Edition**,1993,16(1):52-57.
- [5] 许永和. EZ-USB FX 系列单片机 USB 外围设备设计与应用[M]. 北京:北京航空航天大学出版社,2002.
- [6] 李朝青. 单片机原理及接口技术[M]. 北京:北京航空航天大学出版社,1999.
- [7] 王建坤. MAX+PLUS II 入门与提高[M]. 北京:清华大学出版社,2004.
- [8] 侯伯亨,顾新. VHDL 硬件描述语言与数字逻辑电路设计[M]. 西安:西安电子科技大学出版社,1999.
- [9] 沈连平,宋铁成,叶芝慧,等. 嵌入式系统及其开发应用[M]. 北京:电子工业出版社,2005.
- [10] 陆坤,奚大顺,李之权,等. 电子设计技术[M]. 成都:电子科技大学出版社,1997.

(责任编辑:柏英武)

作者简介:

吴崇成(1978-),男,湖北咸宁人,硕士研究生,研究方向为计算机辅助测试(E-mail:wuchongxian@yahoo.com.cn)。

Transmission error sampling module based on CPLD

WU Chong-xian¹,PENG Dong-lin²,WANG Yan-gang¹,SHI Yong-fu¹

(1. The State Key Laboratory of Mechanical Transmission,Chongqing University,Chongqing 400044,China;2. Department of Electronic Engineering,Chongqing Institute of Technology,Chongqing 400050,China)

Abstract: The working principle of mechanical transmission error sampling module based on signal subdivision theory is introduced. The overall design of transmission error measuring system is presented,including pre-shaping and amplifying circuit,error sampling module,FIFO data buffer,USB2.0 transmission module and PC. The error sampling module is designed based on CPLD chip EPM7512AETC144,which consists of control command register group,controllable frequency divider,FIFO controller,phase differential generation circuit,full-pulse counter,phase differential counter etc. Its correctness is proved by sequential simulation. Its programmable feature makes its upgrade convenient.

Key words: CPLD; EZ-USB FX; transmission error