

基于现场可编程门阵列的电能 质量监测系统设计

牛 博, 王建华, 宋政湘, 耿英三, 胡晓菁

(西安交通大学 电力设备与电气绝缘国家重点实验室, 陕西 西安 710049)

摘要: 提出了基于现场可编程门阵列 (FPGA) 的电能质量监测系统的设计方案。系统以 FPGA 为核心处理芯片, 配以少量外围器件即可实现电压、电流、功率、频率等常规量监测, 稳态谐波分析和电压上凸、下凹捕捉等功能, 而且可以与上位机通信。与使用单片机进行电能质量监测相比, 具有可靠性高、通用性好、成本低等优点。对设计进行了整体编译、综合与优化, 将得到的配置数据下载到 FPGA 中, 通过 SignalTap II 逻辑分析仪对设计进行了验证。在实验室条件下, 对频率、有效值和功率的监测结果表明, 该监测系统能够满足电能质量监测的要求。

关键词: 低压配电系统; 电能质量监测; 现场可编程门阵列

中图分类号: TM 714

文献标识码: B

文章编号: 1006-6047(2007)04-0091-04

近年来, 由于电网负荷的不断增加和工业设备要求的不断提高, 用户比以往任何时候都需要高标准的电能质量, 电能质量也成为用户最关心的问题之一。一些电能质量问题, 诸如电压上凸和下凹、谐波、三相不平衡、波动和闪变等, 会影响到用户的正常运转, 如设备故障率、产品废品率等的增大, 甚至会引起停工。因此, 为了避免这些损失, 一些大型用户就需要安装电能质量监测系统^[1-7]。

目前, 一些主流的电能质量监测装置都是以微处理器为核心设计的, CPU 性能高低直接决定了产品性能的好坏。微处理器的一些固有不足, 例如采用排队式串行指令执行方式、工作速度和效率难以提高、存在程序跑飞等问题直接影响和制约了其进一步的应用^[8]。随着微电子技术的发展, 片上系统(SOC)在速度、可靠性和保密性方面都有明显的优势。现场可编程门阵列(FPGA)以其易于开发和无需一次投资等优点, 使得越来越多的 SOC 设计人员转向可编程方式实现^[9-14]。

现介绍一种基于 FPGA 的低压配电系统电能质量监测系统的设计方法。

1 电能质量监测的功能模型

所设计的是用于低压配电系统中的电能质量监测系统, 该系统有如下功能: 对三相电压、电流信号实时测量, 实时计算电压有效值、电流有效值、电压和电流三相不平衡度、有功功率、无功功率、视在功率、频率、功率因数和稳态谐波分析; 具有事件记录、故障报警和故障波形跟踪记忆功能; 分析监测结果, 提取电能质量评估信息, 为用户提供决策; 具有开关量输入、输出功能, 可以实现各种开关控制功能; 具有远程通信功能, 服务于更高层的企业信息分析和管理系统; 通过人机交互功能, 让用户对电网的运行状况快速洞察, 迅速决策。采用外部微处理器同可编程专用集成电路相结合的结构, 具体设计了电能质量监测专用集成电路的并行结构, 如图 1 所示。

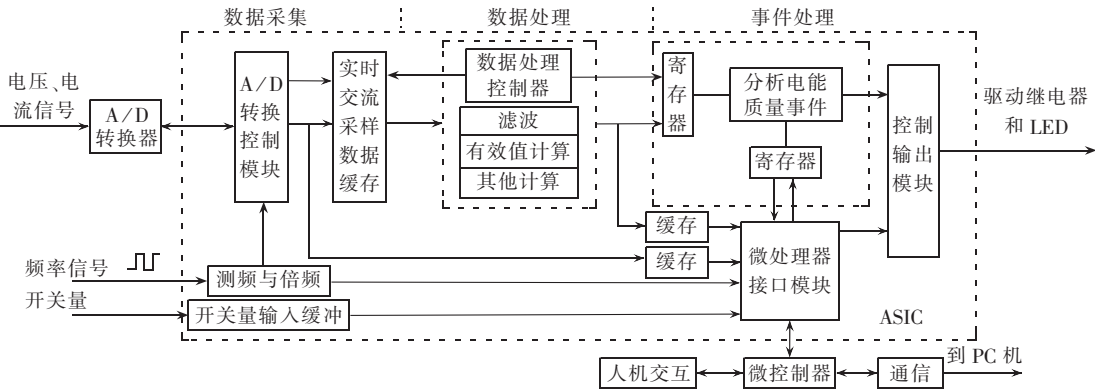


图1 电能质量监测专用芯片系统结构图

Fig.1 System structure of ASIC for power quality monitoring

以上数据采集、数据处理以及微处理器之间在空间上并行,在时间上并行又相互依赖,模块之间通过数据流建立联系。上一级模块为下一级模块提供所需的实时数据。模块要在待处理的数据有效的情况下继续进行,否则等待数据准备好为止。根据各模块处理的速度来设计模块之间的连接方式,实现模块之间的协同工作和并行处理。

2 数据采集模块

2.1 频率测量模块设计

传统的测周期计数采用门控计数器实现,被测信号经过二分频后作为计数器的门控信号,计数器在门控信号有效时计数,无效时停止,因此一个门控计数器只能实现被测信号一半时间的测周期计数,要实现连续的测周期计数需要采用 2 个计数器。

所设计的同步测周期计数器,其原理见图2。同步测周期计数器首先通过 2 个 D 触发器对被测周期信号 clkx 进行同步,同步时钟为 clock,由于 D 触发器的输出 s0 和 s1 的状态在时序上相差一个 clock 周期,因此在 clkx 的上升跳变后, s0 同 s1 的非相与的结果 le 会出现一个 clock 周期的高电平脉冲,该脉冲表征了被测周期信号 clkx 的上升跳变,信号 le 连接可重载计数器的重载端和结果锁存器的使能端,则在被测信号每个 clkx 上升沿后,计数器的计数值被锁存,同时计数器置初值 1,重新开始计数。锁存器输出的就是被测信号相邻 2 个上升沿时间间隔内的计数值,即被测信号的测周期计数值。所设计的测周期计数器只使用一个计数器即可完成对被测信号进行连续测周期计数,始终输出被测信号最新一个周期的测周期计数值。在实际应用中,被测方波信号由电网电压波形经电压比较器转换而来。由于干扰的存在,会造成频率测量结果出错,对后续模块将产生严重影响。通常电网中频率变化比较缓慢,同时变化范围有限,基于这个特点,对图 2 测周期计数器中的锁存器进行了改进,如图 3 所示。

锁存器前端加入了比较判断模块和平均值模块,判断模块将当前的计数值同正常值比较,如果出现很大的偏差,可认为该测量结果无效;否则,测周期计数值同锁存器当前值进行平均,在 clock 上升沿后锁存器锁存该平均值作为新一周期的测周期计数的结果。通过对计数结果进行判断和平均处理,使得频率测量结果更稳定。

2.2 A/D 转换控制模块

A/D 转换是将智能电器监控单元输入的模拟信号转换成数字电路可处理的数字信号的操作。这里将设计的重点放在 A/D 转换器实现数据采集的控制器设计上,A/D 转换器暂时使用外部独立的器件 MAX125,可编程专用集成电路同 A/D 转换器 MAX125 的连接如图 4 所示。

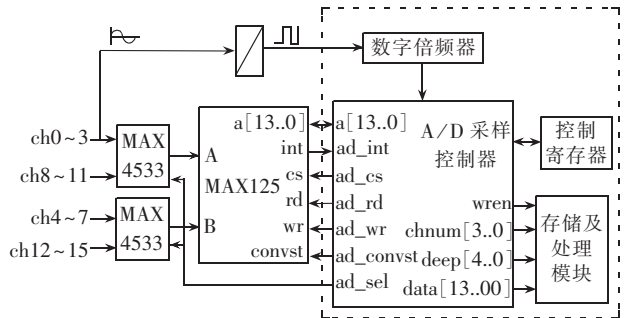


图 4 A/D 采样模块结构
Fig.4 A/D sampling module

MAX125 的操作如下:首先设置 MAX125 内部选择器的状态,然后发出启动信号,初始化内部寄存器并开始转换,进入转换状态,通过查询 ad_int 的状态,判断是否转换完毕,转换完成后在 ad_cs 和 ad_rd 信号的配合控制下将转换结果顺序读出,同时存储到数据存储区中,完成一次 A/D 转换操作,等待下一个采样时刻的到来。

3 数据处理模块

电能质量监测的数据处理主要是对实时采样得到的电压、电流数据按照分析的要求进行相应的运算。传统的微处理器以及 DSP 都采用排队式串行指令执行方式,从而其工作速度和效率的提高也受限于该工作方式,采用硬件电路可以实现处理器用算法程序无法达到的高速、高精度运算。采用了由硬件实现的专用数据处理模块是电能质量监测专用集成电路具有高性能的主要原因。

3.1 有效值计算

在电量测量中,电压、电流的有效值计算是最基本的测量计算,有效值就是一个周期采样点数据的均方根 RMS(Root Mean Square)值,在电路实现上主要使用如图 5 所示的乘加器来实现乘方和运算,在时钟的作用下,使能乘加器,将模拟信号一个周期 N 点数据逐个送入乘加器,累加器的结果就是一个周期离散点数据的平方和,该平方和再经过开方处理,即可

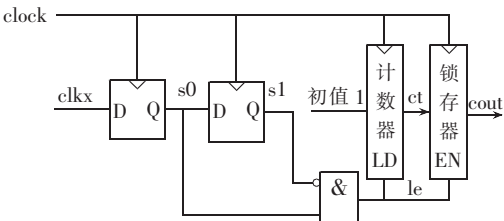


图 2 周期测量模块
Fig.2 Period measuring module

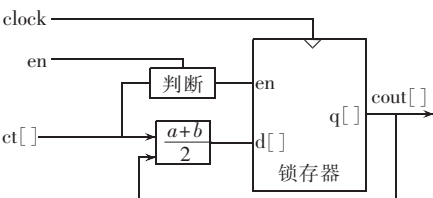


图 3 改进的锁存器
Fig.3 Improved flip-latch

得到有效值计算的结果。

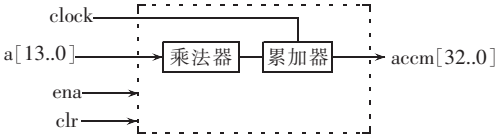


图 5 有效值运算模块
Fig.5 RMS calculation module

3.2 谐波分析

电网中的谐波成分采用快速傅里叶变换(FFT)来分析,FFT 蝶形运算单元配合相应的存储空间,以及 FFT 运算所需的旋转因子,在控制模块的控制下协同工作。旋转因子存储在 ROM 中,根据实际点数 N 的情况,可以事先计算得旋转因子的值,配置到 ROM 模块中。控制模块按照 FFT 算法的流程产生相应的控制时序,控制各子模块的操作,FFT 模块的结构图如图 6 所示。图中指出对于 $N=2^M$,针对 M 为奇数和偶数的不同情况,结果会保存在不同的存储区。

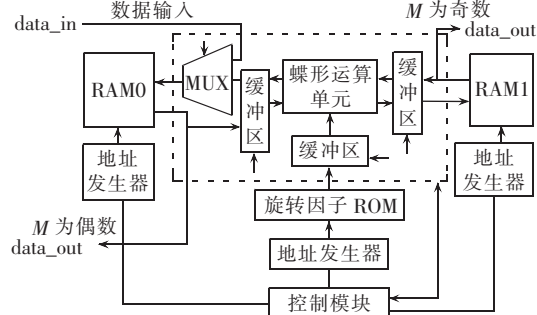


图 6 FFT 模块结构
Fig.6 FFT module

这里使用的 FFT 模块采用 Altera 公司提供的 IP 核完成,模块采样参数化设计,可根据需要设置参数生成各种不同点数的 FFT 运算实例。

3.3 数据处理模块的控制和连接

数据处理模块接在数据采集模块之后,模块之间提供一个共享的数据缓冲区,并配合相应的电路建立两模块间的联系。图 7 是数据采集模块和数据处理模块的连接框图。数据采集模块在采样脉冲到来后,对模拟通道进行一次采样,并将采样点存入双口 RAM 中,数据采集模块一次完成各模拟通道一个点的采样和存储,数据采集模块作为专用集成电路内部提供数据的关键部件,在模块协同工作中优先保证数据处理模块的操作,采用先进先出 FIFO(First-In First-Out)队列配合双口 RAM 工作。数据采集模块将当前通道转换完成的数据写入双口 RAM,同时将该通道的通道号写入 FIFO,数据处理模块通过判断 FIFO 是否为空来决定是否要进行转换。

实际应用中,在数据处理模块中使用了一个 32 点的 FFT 运算单元和一个 32 点的有效值计算单元,相应的数据处理模块的控制器控制流程如下:首先从图 7 所示的 FIFO 中取出要进行计算的通道号,然后根据通道号从数据缓冲区中取出该通道的连续 32

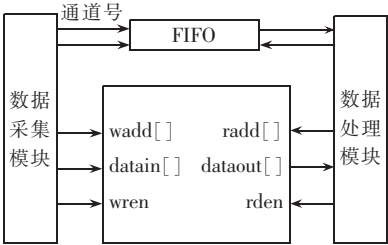


图 7 数据采集模块和数据处理模块的接口
Fig.7 Interface between data sampling module and data processing module

个点的数 据,送入到 FFT 单元和有效值单元,运算单元在计算完成后将发出一个完成信号给控制器,控制器的状态机也在实时地查询这个信号的状态,当计算完成后将结果逐个输出到数据总线上,写入保护控制模块的寄存器和同微处理器连接的数据缓冲区中。

4 通信模块

通信模块一方面提供系统与其他芯片的通信功能,包括 I²C 器件的通信和微处理器的通信等;另一方面提供标准的 RS-232/RS-485 接口,系统通过该接口可以与上位机进行数据交换,从而使得系统成为自动化配电系统的一个现场单元。

5 事件处理模块

电能质量事件处理模块就是通过将前面各个模块求得的电能参量与系统默认的或用户制定的标准进行比较,其中包括电压上凸和下凹的捕捉、谐波畸变率的计算、对频率的分析等,并记录电能质量事件的一些特征值,诸如最大(小)值、发生时间、发生通道、持续时间等,根据这些信息进行显示、报警、控制等操作。

6 实验结果

设计完成的电路在 Quartus II 工具中进行了综合,并下载到 FPGA-EP1C12Q240C8 中进行测试验证。传统的测试方法是在线路板设计时,从器件引脚引出测试点,为了能观测内部信号,需要通过器件的其他硬件将信号引出,并在线路板中提供测试点。测试需要使用昂贵的逻辑分析仪,并通过探针连接测试点捕获测试信号的时序波形,采用传统的测试方法要完成引脚致密的大规模集成电路的测试变得很困难。所选用的 FPGA 具有 SignalTap II 嵌入式逻辑分析器的功能如可在 Quartus II 软件下在器件内可嵌入具有捕获引脚和片内信号波形能力的逻辑分析器,配合 Quartus II 软件 SignalTap II 工具可完成对被测信号的捕获和观测。芯片上传的频率值、实时采样数据、FFT 结果以及有效值在 Matlab 工具下实时显示结果的界面如图 8 所示,其中 n 为谐波次数。

针对设计的电压通道进行谐波精度测量实验。谐波电压信号由精度为 0.5 级以上的谐波发生器(ONLY 5108D)产生。实验在 A 相电压通道中首先

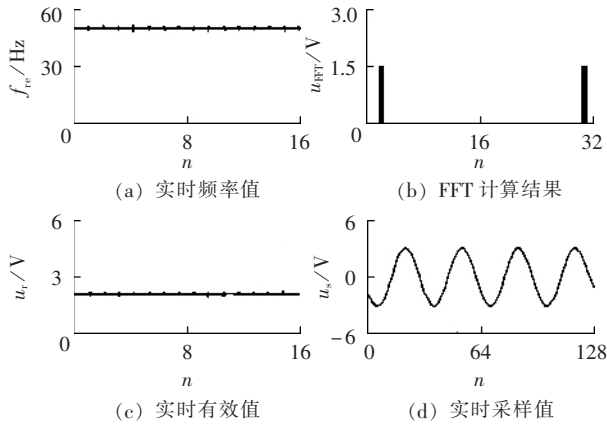


图 8 芯片的数据在 Matlab 中显示结果的界面

Fig.8 Interface of chip's real-time data in Matlab

分别输入基波幅值为 50 V、2~6 次稳态谐波分别为 10 V, 分别求出施加单次谐波时的各次谐波畸变率, 如表 1 所示。实验地点为实验室, 室内温度为 22 ℃。

表 1 谐波实验结果

Tab.1 Results of harmonics experiments %		
谐波次数	各次谐波畸变率理论值	专用芯片测量值
2	20	19.9
3	20	19.8
4	20	19.8
5	20	19.7
6	20	19.9

其他设计内容也都经过实验验证, 限于篇幅, 此处略。

7 结语

成功地采用 FPGA 设计并实现了一个用于低压配电系统电能质量监测的系统级专用芯片, 并通过软件仿真、硬件仿真验证了该设计的正确性。与目前通常采用的单片机技术相比, 该设计具有可靠性高、通用性好、易扩展等优点。同时, 该设计全部采用通用的硬件描述语言设计完成, 可以移植到不同的电子设计自动化(EDA)开发平台上。

参考文献:

[1] MELHOM C J, MCGRANAGHAN M F. Interpretation and analysis of power quality measurements[J]. IEEE Trans Industry Applications, 1995, 31(6): 1363-1370.

[2] KHAN A K. Monitoring power for the future[J]. IEEE Journal Power Engineering, 2001, 15(2): 81-85.

[3] RAUCH G B, SABIN D D, MCGRANAGHAN M, et al. Implementing system-wide power quality monitoring plans[C]//Proc 1996 IEEE Power Engineering Society Transmission and Distribution Conf. Los Angeles, CA, USA; IEEE, 1996: 37-44.

[4] CHOWDHURY B H. Power quality[J]. IEEE Potentials, 2001, 20(2): 5-11.

[5] MCGRANAGHAN M. Trends in power quality monitoring[J]. IEEE Power Engineering Review, 2001, 21(10): 3-9, 21.

[6] LAKSHMIKANTH A, MORCOS M M. A power quality monitoring system: a case study in DSP-based solutions for power electronics[J]. IEEE Trans Instrumentation and Measurement, 2001,

50(3): 724-731.

[7] BOLLEN M H J. Voltage sags in three-phase systems[J]. IEEE Power Engineering Review, 2001, 21(9): 8-11.

[8] 张桂青. 电器智能化技术中可重构硬件平台及专用芯片的研究[D]. 西安: 西安交通大学, 2003.

ZHANG Gui-qing. The study on reconfigurable hardware platform and its ASIC in intelligent electric apparatus[D]. Xi'an: Xi'an Jiaotong University, 2003.

[9] 张桂青, 冯涛, 王建华, 等. 基于 SOC 的可配置微机保护硬件平台设计与实现[J]. 电力系统自动化, 2003, 27(10): 81-84.

ZHANG Gui-qing, FENG Tao, WANG Jian-hua, et al. Design and implementation of reconfigurable hardware platform based on SOC design for digital protective relay[J]. Automation of Electric Power Systems, 2003, 27(10): 81-84.

[10] GARVERICK S L, MCGRATH D T, BAERTSCH R D. A programmable mixed-signal ASIC for power metering[J]. IEEE Journal of Solid-State Circuits, 1991, 26(12): 2010-2016.

[11] IKESHITA M, TAKEDA Y, MURAKOSHI H, et al. An application of FPGA to high-speed programmable controller[C]//Proc IEEE Conf Emerging Technol Factory Automat. Barcelona, Spain; IEEE, 1999: 1386-1390.

[12] AHN B S, KIM B I, CHANG T G. A sliding-DFT based power-line phase measurement algorithm and its FPGA implementation[C]//Developments in Power System Protection, 2004. Eighth IEE International Conference. Amsterdam, Netherlands; IEEE, 2004: 44-47.

[13] 李忠, 陈明明, 郑华. 可编程逻辑器件在数字式保护中的应用与探讨[J]. 电力自动化设备, 2002, 22(12): 64-67.

LI Zhong, CHEN Ming-ming, ZHENG Hua. Application and research of programmable logic device in digital protection[J]. Electric Power Automation Equipment, 2002, 22(12): 64-67.

[14] 马文营, 杨洪耕. 基于 FPGA 的多通道无缝采样分析技术的实现[J]. 电力系统自动化, 2003, 27(15): 49-52.

MA Wen-ying, YANG Hong-geng. Implementation of multi-channel non-gapped sampling and analyzing technique based on FPGA[J]. Automation of Electric Power Systems, 2003, 27(15): 49-52.

[15] 彭洲红, 陈莉莉, 虞致国, 等. 基于 IP 核的电力系统监控装置 SOC 设计[J]. 仪器仪表学报, 2004, 25(4): 244-248.

PENG Zhou-hong, CHEN Li-li, YU Zhi-guo, et al. Design of power monitoring unit SOC based on IP cores[J]. Chinese Journal Scientific Instrument, 2004, 25(4): 224-248.

[16] 郭志勇, 李广军. 基于 FPGA 的高精度数据采集滤波系统设计[J]. 电子科技大学学报, 2004, 33(3): 250-253.

GUO Zhi-yong, LI Guang-jun. A system desing in collecting and filtering high-precision data with FPGA[J]. Journal of UEST of China, 2004, 33(3): 250-253.

(责任编辑: 康鲁豫)

作者简介:

牛 博(1980-), 男, 陕西西安人, 博士研究生, 从事智能化电器方面的研究(E-mail: niubo@mail.xjtu.edu.cn);

王建华(1954-), 男, 山西长治人, 教授, 博士研究生导师, 从事智能电器、CAD 及电器的网络可视化计算、继电保护专用集成电路芯片设计等方面的研究;

宋政湘(1970-), 男, 湖南浏阳人, 副教授, 从事智能化电器及电能质量方面的研究;

耿英三(1963-), 男, 河南新乡人, 教授, 从事智能化电器和 CAD 等方面的研究;

胡晓菁(1981-), 女, 陕西西安人, 博士研究生, 从事智能化电器方面的研究。

Design of power quality monitoring system based on FPGA

NIU Bo, WANG Jian-hua, SONG Zheng-xiang, GENG Ying-san, HU Xiao-jing

(State Key Laboratory of Electrical Insulation for Power Equipment,

Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: A design of power quality monitoring system based on FPGA(Field Programmable Gate Array) is put forward. With a few additional peripheral devices, the system implements routine measuring of voltage, current, power and frequency, analyzes static harmonics, captures voltage dip, and communicates with superordinate computers. Compared with the power quality monitoring system based on MCU(Microprogrammed Control Unit), this system has more advantages, such as higher reliability, more flexibility and lower cost. After compilation, synthesization and optimization, the configuration file is downloaded to FPGA and its correctness is validated with SignalTap II logic analyzer. Experimental results show that the designed system meets requirements of frequency, RMS, harmonic and power measurements for power quality monitoring.

Key words: low voltage distribution system; power quality monitoring; FPGA