

基于 CPLD 与 SDRAM 的视频信号采集系统设计

曹新莉¹, 蒋 飞², 朱 晔³

(1. 武汉工程大学 电气信息学院, 湖北 武汉 430073; 2. 华中科技大学 电气与电子工程学院, 湖北 武汉 430074; 3. 国网武汉高压研究院, 湖北 武汉 430074)

摘要: 设计研制了一种基于 ARM7TDMI 内核的 32 M 嵌入式处理器 AT91M40800 的视频信号采集系统, 可用于监控电气设备现场的工作状况, 并对其中的同步动态存储器 (SDRAM) 控制部分作了详细的介绍。选用复杂可编程逻辑器件 (CPLD) 设计了一种通用的 SDRAM 控制器。使用状态机的设计思想, 采用 Verilog 硬件描述语言设计了时序控制程序, 得到的 SDRAM 读写信号仿真波形图时序合理、逻辑正确。

关键词: SDRAM 控制器; 状态机; 视频信号; CPLD

中图分类号: TN 948.61; TP 273 **文献标识码:** B **文章编号:** 1006-6047(2007)09-0100-03

1 SDRAM 器件的原理及性能特点

同步动态存储器 (SDRAM) 是在现有的标准动态存储器中加入同步控制逻辑 (一个状态机), 利用一个单一的系统时钟同步所有的地址数据和控制信号。如果有效的使用, 这个同步接口和 SDRAM 的完全管道式的内部结构允许极其高速的数据传输速率。使用 SDRAM 不但能提高系统性能, 还能简化设计、提供高速的数据传输^[1]。

在内部, SDRAM 器件是以存储器中的 Bank 组织在一起的, 它通过行和列编址。行地址和列地址位的数目及 Banks 的数目取决于存储器的大小。对 SDRAM 的读写操作是突发定位的; 读写从一个可选的地址位置开始, 持续长度是一段由编程决定的数目的地址量。读写操作开始于一个 Active 命令的触发。接着跟着一个 Read 或 Write 命令。与 Active 命令一致的地址寄存位用于选择将要读写的 Bank 和行地址号 (B_{A0} 、 B_{A1} 选择 Bank 号, $A_0 \sim A_{11}$ 选择行号)。与 Write 命令一致的地址寄存位 $WE(x_4$ 为 $A_0 \sim A_9$, 所有的; x_8 为 $A_0 \sim A_9$; x_{16} 为 $A_0 \sim A_9$) 用于选择突发读写的起始列地址号^[2]。

SDRAM 操作步骤: SDRAM 上电后先初始化, SDRAM 要求有一个 100 μ s 的延时, 该延时优先于除 Command Inhibit 或 NOP 之外的任意命令。从这 100 μ s 之内的某一点开始, 并持续至这个周期结束, Command Inhibit 或 NOP 命令应该启动^[3]。

2 通用 SDRAM 控制器的设计方案

所研制的视频信号采集系统是 Atmel 公司的

基于 ARM7 TDMI 内核的 32 M 嵌入式处理器 AT91M40800, 采用 2 个 16 M 的 SDRAM 芯片 MT48-LC16M8A2TG-7E, 其 SDRAM 控制器选用 Altera 公司的 Stratix II 系列复杂可编程逻辑器件 (CPLD) 芯片。视频信号来源于 USB 接口的摄像头采集。对于较大的视频数据量, 可以将每帧画面的数据暂存在 SDRAM 中, 当主机需要接收视频数据时, 通过 CPU MC9328MX1 向 SDRAM 控制器下命令, 从而让 SDRAM 控制器控制 SDRAM 进行数据传输。该系统的功能框图如图 1 所示。

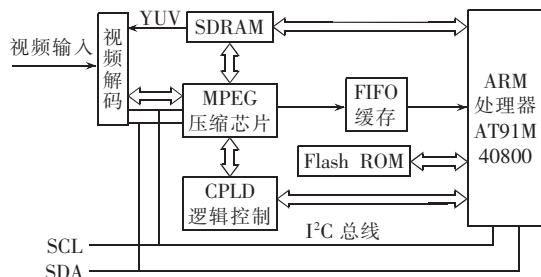


图 1 基于 ARM 嵌入式处理器的视频处理系统框图

Fig.1 Video signal acquisition system based on ARM embedded processor

板上配有 2 片 16 M $\times$ 8 bit 的 SDRAM 芯片, SDRAM 与处理器的接口电路连接如图 2 所示。

2.1 SDRAM 控制器状态机设计与简化

根据 SDRAM 的操作步骤, 设计了 SDRAM 控制器, 利用 CPLD 采用 Verilog 硬件描述语言对 SDRAM 进行上电初始化、预充电、自动刷新、读写等操作的时序控制^[4]。在编程过程中应用了状态机的编程思想。将整个 SDRAM 的工作过程划分为 16 个状态, 当信号端口满足特定的条件, 即输入、输出引脚值符合各项操作的输入条件时, SDRAM 的各操作状态发生转移^[5]。具体状态转移图如图 3 所示。

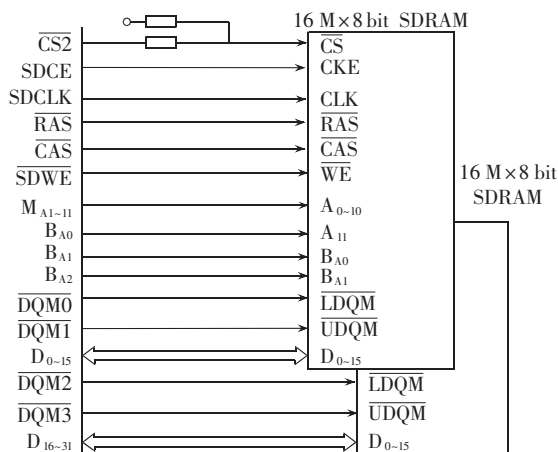


图2 SDRAM 与处理器的接口电路

Fig.2 Connections between SDRAM and processor

2.2 总体设计方案

SDRAM 控制器与外部的接口示意图见图 4, 控制器右端接口信号均为直接与 SDRAM 对应管脚相连的信号。控制器左端的接口信号为与 FPGA 相连的系统控制接口信号, 其中, CLK200 为系统时钟信号, -Ready 为使能信号, ADDR 为系统给出的 SDRAM 地址信号, data_in 是系统用于写入 SDRAM 的数据信号, -RD 和 -WR 为系统读、写请求信号(0 为有效, 1 为无效), sdram_busy_1 是 SDRAM 的空闲

状态标示信号(0 为空闲, 1 为忙碌), Mode_Set_L 是 SDRAM 的模式寄存器的设置位, 在 SDRAM 正常运行期间, 主机通过 Mode_Set_L 可以改变模式寄存器的内容。-Ready 是控制器给系统的数据收发指示信号(为 1 时, 无法对 SDRAM 进行数据收发; 为 0 时, 若是系统读操作, 则系统此时可从 Data_Out 接收 SDRAM 的数据, 若是写操作, 则系统此时可以通过 Data_In 发送数据给 SDRAM)^[6]。SDRAM 控制器总体结构框图如图 5 所示。

SDR SDRAM 控制器包含 4 个主要的模块: SDRAM 控制器、控制接口、命令和数据路径模块。SDRAM 控制器模块是顶层模块, 它可以初始化 3 个低层模块, 并把整个设计组合起来^[7]。控制接口模块接收来自主机的指令和相关的寄存器地址, 解析指令, 并把要求传送给指令模块。指令模块接收来自控制接口模块的指令和地址, 并向 SDRAM 发出适当的指令。数据路径模块处理在读和写指令期间的数据路径的操作^[8]。

2.3 EDA 程序中状态的划分和时序控制的设计

状态机的设计是一类很重要的时序电路, 它的结构除了输入信号、输出信号外, 还包括一组寄存器记忆状态机的内部状态^[9]。状态机寄存器的下一个状态及输出, 不仅同输入信号有关, 而且还与寄存器的当前状态有关。状态机可以认为是组合逻辑和

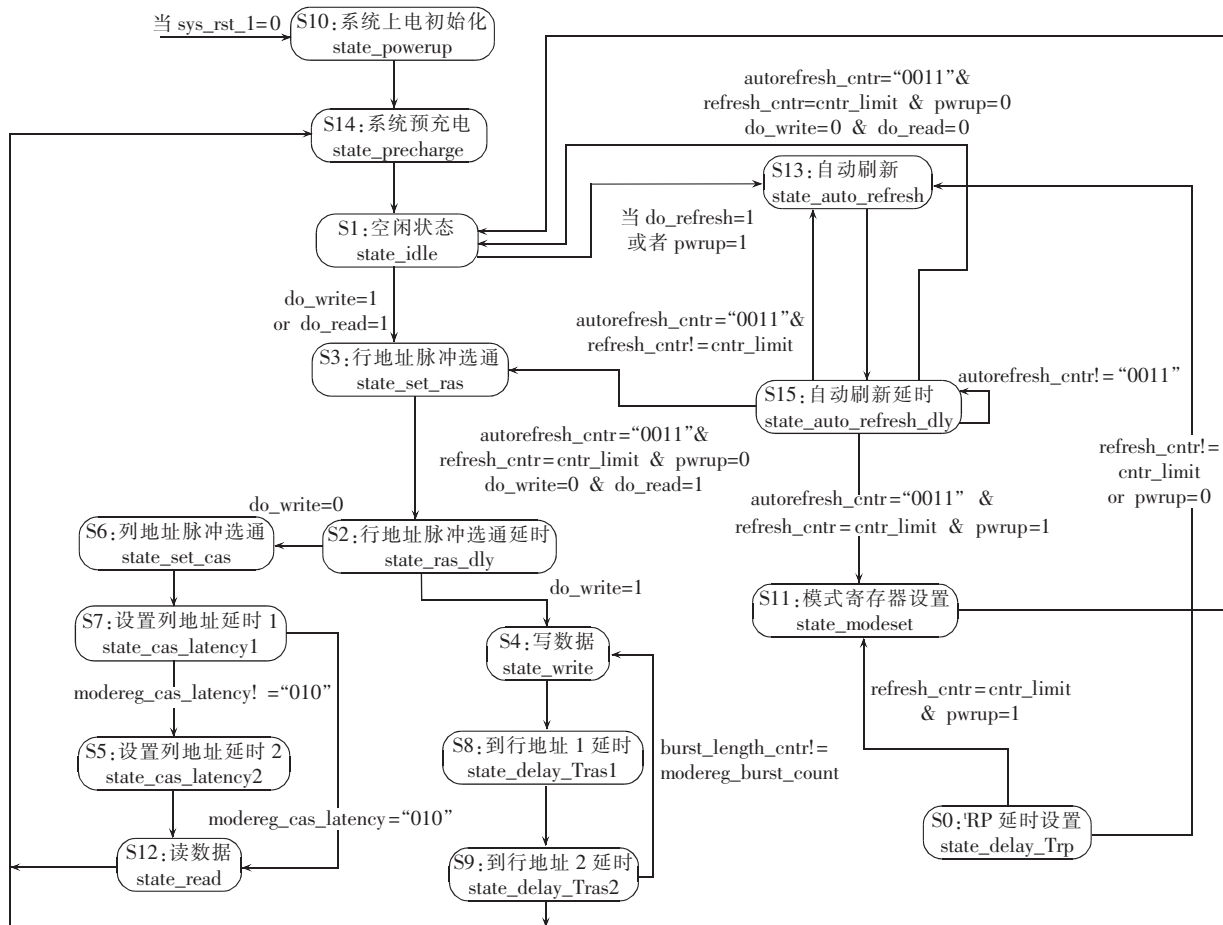


图3 SDRAM 控制器的状态转移图

Fig.3 State connections of SDRAM controller

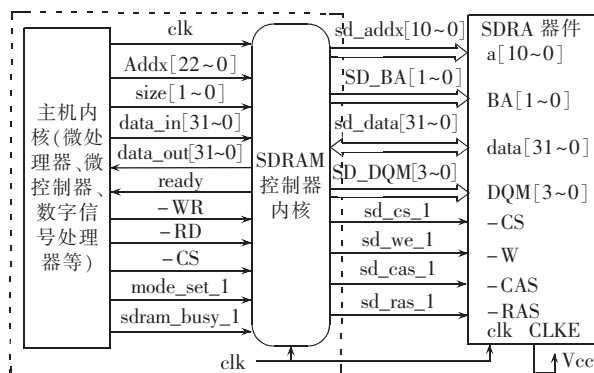


图 4 SDRAM 控制器的接口框图

Fig.4 Connections of SDRAM controller

寄存器逻辑的特殊组合^[10-11]。

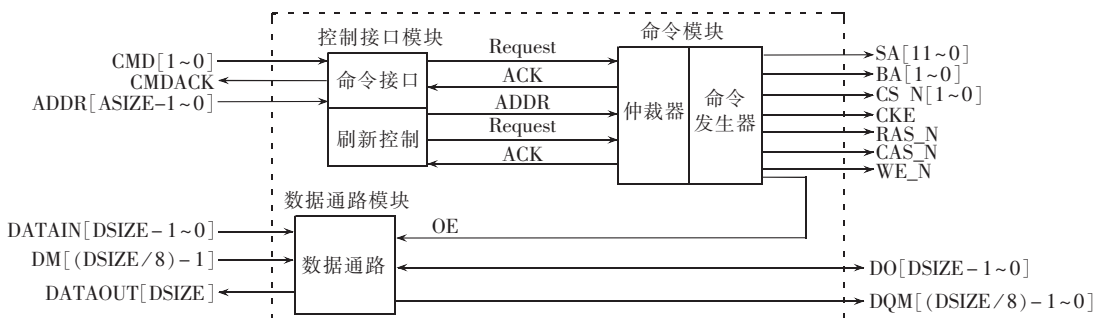


图 5 SDRAM 控制器的总体结构框图

Fig.5 Overall block diagram of SDRAM controller

3 结论

经过 Verilog 语言的程序设计以及实际的验证, SDRAM 工作性能良好。实践表明, 用 CPLD 器件对芯片进行复杂时序的控制设计是准确可行的^[15]。

参考文献:

- [1] 鲍晓宇, 施克仁, 洪玉萍, 等. 高速数据采集系统中高速缓存与海量缓存的实现[J]. 国外电子器件, 2003(7):4-7.
BAO Xiao-yu, SHI Ke-ren, HONG Yu-ping, et al. The implementation of A/D cache and bulk memory in high-speed data acquisition system [J]. International Electronic Elements, 2003(7):4-7.
- [2] LEE Jeung-joon. Synthesizable SDRAM controller core[EB/OL]. [2006-10-31]. <http://www.cmosexod.com>.
- [3] Altera Corporation. SDR SDRAM controller white paper [EB/OL]. [2006-10-31]. <http://www.altera.com>.
- [4] Micron Technology Inc. 128 M SDRAM MT48LC16M8A2TG data sheet[EB/OL]. [2006-10-31]. <http://www.micron.com>.
- [5] 王立欣, 刘双宝, 刘雷. 基于 CPLD 的 SDRAM 控制器[J]. 电子器件, 2004, 27(4):676-679.
WANG Li-xin, LIU Shuang-bao, LIU Lei. SDRAM controller based on CPLD [J]. Chinese Journal of Electron Device s, 2004, 27(4):676-679.
- [6] 段然, 樊晓桢, 张盛兵, 等. 基于状态机的 SDRAM 控制器的设计与实现[J]. 计算机工程与应用, 2005(17):110-112.
DUAN Ran, FAN Xiao-ya, ZHANG Sheng-bing, et al. Design and implementation of a FSM-based SDRAM controller [J]. Computer Engineering and Applications, 2005(17):110-112.
- [7] 李卫, 王杉, 魏急波. SDRAM 控制器的 FPGA 设计与实现[J]. 电

状态机的基本操作包括状态机内部状态转换, 产生输出信号序列。可以利用摩尔状态机原理, 按照 SDRAM 的工作时序和步骤, 编写其控制器的状态机程序^[12-13]。

按照 SDRAM 的工作模式, 可将其划分为 15 个状态, 即上电 S0, 预充电 S1, 空闲 S2, 刷新 S3, 行地址脉冲选通状态设置 S4, 行地址脉冲选通状态等待 S5, 列地址脉冲选通状态 S6, 列地址脉冲选通状态等待 1-S7, 列地址脉冲选通状态等待 2-S8, 读取数据 S9, 写数据 S10, 写数据延时 S11, 状态延时 S12, 自动预充电延时 S13, 工作模式设置状态 S14。SDRAM 的工作就是在这 15 个状态之间转换的。用 Verilog 语言可实现这些状态及相互之间的转移关系^[14]。

子工程师, 2004, 30(10):29-32.

LI Wei, WANG Shan, WEI Ji-bo. Design and implementation of SDRAM controller based on FPGA[J]. Electronic Engineer, 2004, 30(10):29-32.

- [8] 包明, 赵明富, 陈渝光. EDA 技术与数字系统设计[M]. 北京: 北京航空航天大学出版社, 2002.
- [9] 谭会生, 瞿逢春. EDA 技术综合应用实例与分析[M]. 西安: 西安电子科技大学出版社, 2004.
- [10] 褚振勇, 翁木云. FPGA 设计及应用[M]. 西安: 西安电子科技大学出版社, 2002.
- [11] 潘松, 黄继业. EDA 技术使用教程[M]. 北京: 科学出版社, 2005.
- [12] 谭会生, 张昌凡. EDA 技术及应用[M]. 西安: 西安电子科技大学出版社, 2001.
- [13] PALNITKAR S. Verilog HDL 数字设计与综合[M]. 夏宇闻, 胡燕译, 刁岚松, 译. 北京: 电子工业出版社, 2004.
- [14] 夏宇闻. Verilog 数字系统设计教程[M]. 北京: 北京航空航天大学出版社, 2005.
- [15] 张明. Verilog HDL 实用教程[M]. 北京: 电子科技大学出版社, 1999.

(责任编辑: 汪仪珍)

作者简介:

曹新莉(1977-), 女, 陕西西安人, 教师, 硕士, 从事电子设计自动化、嵌入式系统方面的研究(E-mail: caoxinli@263.net);

蒋飞(1983-), 男, 广西桂林人, 硕士, 从事嵌入式系统、Linux 操作系统等方面的研究;

朱晔(1977-), 男, 黑龙江大庆人, 工程师, 硕士, 从事计算机、网络与通信、高电压技术、电网等方面的研究。

Design of video signal acquisition system based on CPLD and SDRAM

CAO Xin-li¹,JIANG Fei²,ZHU Ye³

(1. Wuhan Institute of Technology,Wuhan 430074,China;

2. Huazhong University of science and Technology,Wuhan 430074,China;

3. Wuhan High Voltage Research Institute of SGCC,Wuhan 430073,China)

Abstract: A video signal acquisition system is designed for the monitoring of field electrical devices, which is based on 32M embedded processor AT91M40800,with ARM7 TDM as its kernel. The control of SDRAM is introduced in detail. A general SDRAM controller is designed using CPLD(Complex Programmable Logic Device). Applying the design concept of state machine,the time sequence control program is designed with Verilog hardware description language. Simulative waveforms for reading and writing SDRAM are presented,with reasonable time sequence and correct logic.

Key words: SDRAM controller; state machine; video signal; CPLD