

基于 DSP 和 FPGA 的光伏并网控制器设计与实现

郑 飞, 费树岷, 周杏鹏

(东南大学 复杂工程系统测量与控制教育部重点实验室, 江苏 南京 210096)

摘要: 提出一种 DSP 和现场可编程门阵列(FPGA)双 CPU 结构的新型单相光伏并网控制方案。DSP 负责基于压频转换器的高精度数据采集、最大功率点跟踪算法和电压控制环,并将计算出的最大功率点跟踪电流通过串行外围设备接口(SPI)通信方式传送给 FPGA;FPGA 负责新型电网电压数字锁相环算法、电流环无差拍控制和正弦脉宽调制(SPWM)驱动算法,并通过光耦 HCPL-316J 驱动电路控制逆变器各桥臂开关的通断。该方案被应用于一台 5 kW 单相光伏并网逆变器中。实验表明:该控制器集 DSP 快速运算性能和 FPGA 的高可靠性于一体,并网运行性能好。

关键词: 单相光伏并网; 现场可编程门阵列; 压频转换; 数字锁相环; 驱动电路

中图分类号: TM 761

文献标识码: A

文章编号: 1006-6047(2011)02-0084-06

0 引言

光伏并网控制器作为光伏并网系统的控制核心,负责将光伏阵列的直流电逆变为与电网电压同频同相的交流电并入电网,其实时性和稳定性对于复杂天气条件下的稳定并网运行具有重要作用。目前光伏并网控制器一般采用 DSP 进行设计^[1-7],DSP 虽然在快速运算方面具有优越性,但是在要求高可靠性的电路驱动方面,却不如将驱动算法以电路逻辑方式固化的现场可编程门阵列(FPGA),故基于 DSP 和 FPGA 双 CPU 结构的控制器在有源电力滤波器、逆变器电源等中得到了很好的应用^[8-10]。

现提出一种 DSP 和 FPGA 双 CPU 结构的新型单相光伏并网控制方案。首先 DSP 通过基于压频转换器的高精度数据采集、最大功率点跟踪算法^[11-13]和电压控制环计算出最大功率点跟踪电流,然后通过串行外围设备接口(SPI)通信方式将此电流传送给 FPGA,FPGA 通过新型电网电压数字锁相环算法、电流环无差拍控制^[14-15]和正弦脉宽调制(SPWM)驱动算法发出 SPWM 波形,并通过光耦 HCPL-316J 驱动电路控制逆变器各桥臂开关的通断,最后将该方案应用于 5 kW 单相光伏并网系统中,并给出并网实验效果。

1 系统总体设计

如图 1 所示,光伏并网系统功率电路主要包括光伏阵列、防反冲二极管、稳压电容、单相逆变器、滤波电抗器、工频隔离变压器和并网固态继电器,控制系统主要由 DSP 和 FPGA 2 个部分构成。系统工作原理为:基于 DSP 和 FPGA 双 CPU 结构的光伏并网控

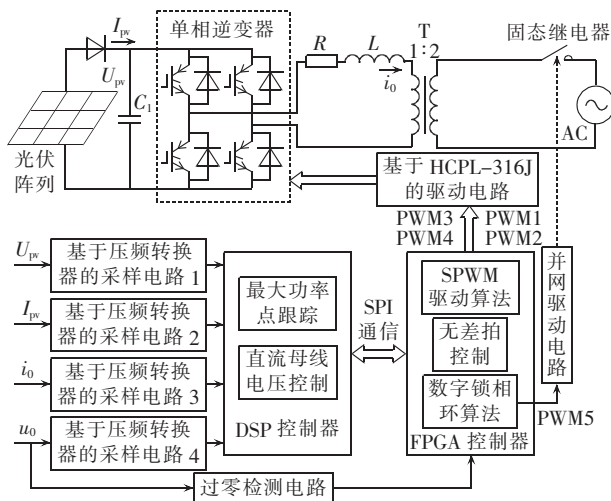


图 1 单相光伏并网系统框图

Fig.1 Block diagram of single-phase PV grid-connected system

制器控制发出 SPWM 信号驱动单相逆变器工作,将光伏阵列输出的直流电压逆变为交流电压,并通过滤波器滤波后并入电网。

具体工作流程为:FPGA 根据过零检测电路产生的与电网电压同步的方波信号和数字锁相环算法,产生一个与电网电压同频同相的基准正弦信号,并以基准正弦数组的形式存放在其内部;DSP 通过 4 个基于压频转换器的采样电路分别采集光伏阵列输出电压 U_{pv} 和电流 I_{pv} 、逆变器输出电流 i_o 、电网电压 u_o ,根据最大功率点跟踪算法^[11-13]和直流母线电压调节器计算最大功率点跟踪电流 I_{ref} ,并通过 SPI 通信接口将 I_{ref} 传输给 FPGA;FPGA 将 I_{ref} 与基准正弦数组指针所对应数据相乘,形成幅值可调的正弦电流指令。由于基准正弦数组指针是与电网电压同步的,因此得到的正弦电流指令也与电网电压同步,在无差拍控制^[14-15]作用下,形成一个新的数组,将此数组

送入 SPWM 发生器的比较器中,一旦三角载波的计数值与该数组中的值相匹配,则 PWM 脉冲电平翻转,并且经死区控制器后,控制单相逆变器的 4 个 IGBT 功率管的通断,实现逆变器输出电流跟踪给定的正弦电流指令,保证逆变器输出电流与电网电压同频同相;一旦不满足并网条件,则 FPGA 通过并网指令 PWM5 经并网驱动电路控制固态继电器断开,使逆变器与电网解列。

2 关键技术研究

2.1 基于压频转换器的采样电路

基于压频转换器的采样电路包括电流互感器、信号调理电路、采样保持器、压频转换器、光电耦合器和 DSP28335 芯片,见图 2。工作原理为:信号调理电路将电流互感器的输出电压变换到压频转换器所能接收的电压范围 $-10\sim 0\text{ V}$ 内;采样保持器实现连续电压模拟量的离散化,保证在 DSP 中定时器控制的采样周期内,输入到压频转换器的电压为一定值,便于压频转换器的电压-频率转换;压频转换器将电压信号转换成相应的频率数值,使 DSP 通过频率测量来实现对电压的间接测量;光电耦合器使压频转换器与 DSP 芯片隔离,保护 DSP 安全。

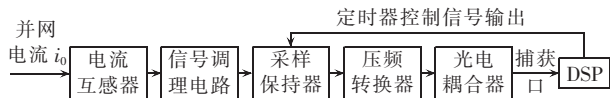


图 2 数据采集电路框图

Fig.2 Block diagram of data acquisition circuit

图 3 所示为基于 LF398 的采样保持电路和由 LM331 和 LF411 构成的压频转换电路。信号调理电路的输出与 LF398 的 3 脚相连,DSP 的 GPIO 口 PWM_05 与 LF398 的 8 脚相连,采样电压信号从 LF398

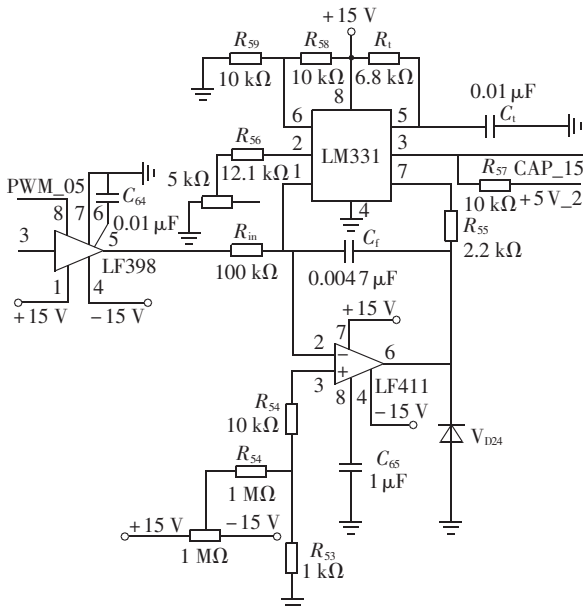


图 3 采样保持和压频转换器电路

Fig.3 Sampling,holding and VFC circuit

的 5 脚输出。该采样保持电路使得 DSP 捕获频率信号时,相应的压频转换电路输入电压保持不变。由于采样芯片 LF398 的工作使能信号 PWM_05 高电平时有效,而如果 PWM_05 高电平时间较长,则输出的采样电压信号将是渐变的阶梯状;如果 PWM_05 高电平时间较短,则可能无法有效使能采样保持电路,因此需折中考虑 PWM_05 高电平的持续时间,选取 PWM_05 的高、低电平持续时间均为 0.1 ms 。

由图 3 可知,压频转换电路的输出频率为

$$f_{\text{out}} = \frac{-U_{\text{in}}}{2.09} \frac{R_s}{R_{\text{in}}} \frac{1}{R_1 C_1} \quad (1)$$

选取 $R_{\text{in}} = 100\text{ k}\Omega$, $R_1 C_1 = 6.8 \times 10^{-6}\text{ }\mu\text{s}$,微调电位器使得 $R_s = 14.2\text{ k}\Omega$,则式(1)简化为

$$f_{\text{out}} = -10000 U_{\text{in}} (\text{Hz}) \quad (2)$$

选取信号调理电路输出电压 U_{in} 在 $-7.5\sim -2.5\text{ V}$ 之间,则由式(2)可知压频转换器输出到 DSP 捕获口的信号频率范围为 $25\sim 75\text{ kHz}$,设置定时器 T_3 的周期 0.1 ms 为采样保持周期,则在一个采样周期内,输入到压频转换电路中的电压值不变,压频转换电路的输出频率也不变且能维持多个周期,DSP 捕获口至少能捕获到 2 次有效沿,通过使能捕获口中断可以读取每 2 次有效沿之间的计数值差,每个采样周期结束时,计算在此周期中多次 DSP 捕获口中断获得计数值的平均值 c ,设置时钟分频系数 $N_{\text{ms}} = 3$,最后由式(3)计算得到相应的采样电压。

$$U = \frac{150 \times 10^6}{2 \times 2^{N_{\text{ms}} c}} \times 10^{-3} \quad (3)$$

为检查压频转换电路的精度,特在压频转换电路输入端直接加上不同幅值的直流电压,通过 DSP 捕获口读取频率,并计算出相应的采样电压值,列表 1。可见,在采样频率为 10 kHz 、输入电压为 $-7.5\sim -2.5\text{ V}$ 时,该基于压频转换电路的采样电路的采样精度达到 0.1% ,且线性度好。

表 1 数据采集表

Tab.1 Data acquisition table

压频转换器 输入电压/V	DSP 捕获口 计数值	计算的 电压值/V
-2.50	3746	-2.502
-3.00	3119	-3.003
-3.50	2678	-3.500
-4.00	2345	-3.998
-4.50	2082	-4.500
-5.01	1871	-5.010
-5.51	1702	-5.508
-6.00	1562	-6.002
-6.50	1442	-6.501
-7.00	1339	-7.001
-7.51	1248	-7.512

2.2 SPI 通信

由于 TMS320F28335 内部有 SPI 通信模块,因此将 DSP 设为主设备,为通信提供时钟信号,FPGA 作为从设备,利用 Verilog HDL 语言编程实现 SPI 通

信模块,检测发送使能引脚信号来接收数据。设置 SPI 通信时钟频率为

$$f_{\text{SPI}} = \frac{f_{\text{SYS}}}{N_{\text{SPI}} + 1} = \frac{150 \times 10^6}{29 + 1} = 5 \times 10^6 \text{ (Hz)} \quad (4)$$

其中, f_{SYS} 为 DSP 系统时钟; N_{SPI} 为 SPI 通信时钟的分频系数。

通过写控制寄存器,设置 DSP 在通信时钟的上升沿发送数据,下降沿接收数据。由于 DSP 发送的数据为左对齐,首先接收到的信号为最高位,因此 FPGA 只需将接收到的 DSP 数据逐位左移即可实现数据接收。当检测到 SPISTE 引脚为低电平时,说明 DSP 正在发送数据;若检测到 SPICLK 为高电平,则 FPGA 逐位读取数据,并且左移一位后等待下一次 SPICLK 为高电平;当检测到 SPISTE 为高电平时,说明 FPGA 已接收完 DSP 所发数据, FPGA 将接收到的数据存储到已定义好的数组中,数组长度为 8,然后等待下一次 DSP 数据的发送,具体流程详见图 4。

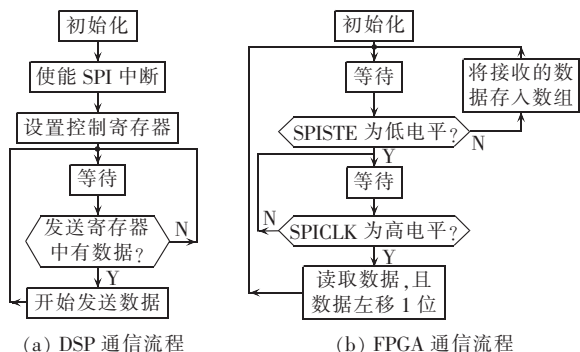


图 4 DSP 与 FPGA 间 SPI 通信流程

Fig.4 Flowchart of SPI communication between DSP and FPGA

2.3 基于 FPGA 的数字锁相环

2.3.1 过零检测电路

为检测电网电压的过零点,需将电网电压的交流信号转换成方波信号,输入到 FPGA 引脚。由于市电频率是 50 Hz,电网电压经变压器降压为 9 V 后可直接采用慢速光耦 TLP521 隔离后接入 FPGA,电路原理如图 5 所示。由于光耦 TLP521 的输入端内部是一个发光二极管,具有正向导通、反向截止的特点,因此当输入为交流正半周时,发光二极管导通,产生光电流,从而三极管导通,光耦 TLP521 输出低电平;反之,则光耦 TLP521 输出高电平 3.3 V。此处光耦不仅将交流信号转换成方波信号,而且使输入、输出间相互隔离,具有良好的电绝缘能力和抗干扰能力,另外由于光耦合器的输入端属于电流型工作的低阻元件,因而具有很强的共模抑制能力。

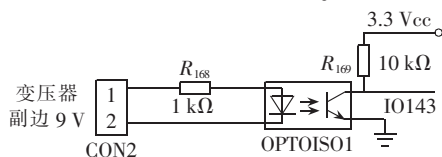


图 5 过零检测电路

Fig.5 Zero-detection circuit

2.3.2 数字锁相算法

过零检测电路输出的信号为与电网电压同步的方波信号,一旦在 FPGA 软件中检测到此方波的上升沿时刻,则意味着到了电网电压的过零点时刻,所设置的基准同步正弦数组的首地址必须刷新,开始一个新的周期,在 FPGA 中利用 `always@(posedge net)` (`net` 为与电网电压同步的方波信号)语句很容易检测其上升沿,但是由于在上升沿这一时刻,需要处理多个任务, FPGA 时序容易出错。因此,将检测此方波信号的上升沿时刻转换为首先在 FPGA 内部将此上升沿时刻扩展为一段比较窄的高电平脉冲信号,然后通过检测此高电平来执行多个任务。这里根据上升沿时刻所触发的高电平脉冲的持续时间非常关键,因为若持续时间太短,则会影响 FPGA 程序的正确运行;若太长,则会影响锁相环对电网周期的计算准确度,经反复调试,折中选取高电平的持续时间为 37.5 μs 。

由于采用的三角波载波频率为 10 kHz,而调制正弦波频率为 50 Hz,因此,一个调制波 $0^\circ \sim 360^\circ$ 范围内每隔 1.8° 选取一个点,共有 200 个点,将此正弦波数组记为 $a[i] (i=0,1,\dots,199)$,该数组的首地址和间隔分别决定锁相环的初始相位和频率,当电网电压的过零点脉冲到来时,数组地址指针 i 刷新为 0,则数组 a 的计算式为

$$a[i] = 99 \sin(2\pi i / 200) + 100 \quad (5)$$

第 1 次过零点脉冲到来时,默认第 1 个周期为 20 ms,数组间隔 $b = 20 / 200 = 0.1 \text{ ms}$;不是第 1 次过零点脉冲到时,计数器对前后 2 次过零点脉冲的间隔时间进行计数;下一个周期的数组间隔 $b =$ 上一周期计数值 / 200,即 $b = c_1 / 200$;一旦计数值 c_2 与数组间隔 b 相等,则数组 a 地址指针即锁相环相位指针 $i = i + 1, c_2$ 刷新为 0,重新开始计数,具体流程见图 6。

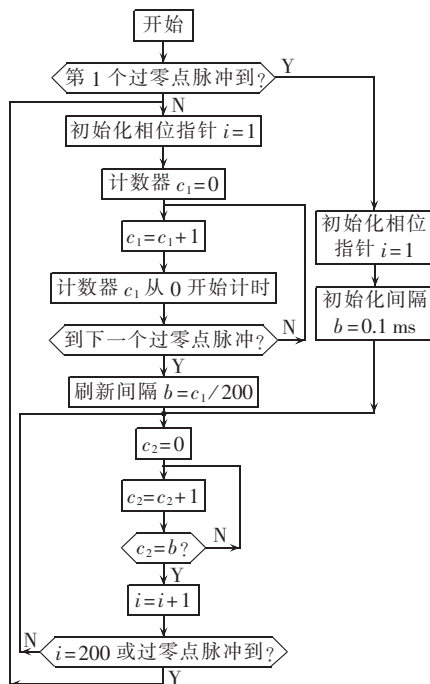


图 6 数字锁相算法流程

Fig.6 Flowchart of digital phase-locked loop algorithm

其特点在于:每个工频周期内基准正弦信号的频率和相位均动态刷新一次,没有累积误差,简单、实用。另外,考虑过零检测电路对电网电压初相位的滞后影响,经过大量实验调试,最终选取当检测到电网电压的过零点脉冲时,数组 a 地址指针 i 刷新为 1,实现并网电流与电网电压的精确同步。

2.4 基于 HCPL-316J 的驱动电路

采用光耦驱动器 HCPL-316J 来控制单相逆变器中 IGBT 的通断。该驱动器内部不仅集成了高速光耦,而且实现了 IGBT 软关断、欠电压保护、过电压保护等功能,只需使用少量外围器件。HCPL-316J 的关键信号逻辑关系为:当且仅当 $\overline{\text{FAULT}}$ 端为高电平时,控制信号 V_{in+} 和 V_{in-} 才有效;当故障信号 $\overline{\text{FAULT}}$ 为低电平时,控制信号 V_{in+} 和 V_{in-} 均不起作用;复位端 $\overline{\text{RESET}}$ 的作用并不是使芯片复位,而是使 $\overline{\text{FAULT}}$ 端复位,从而使输入 V_{in+} 和 V_{in-} 失效。

由于 1 片 HCPL-316J 只能驱动 1 个 IGBT,所以一对上、下桥臂 IGBT 需用 2 片 HCPL-316J,而在逆变器工作时,上、下 2 个桥臂不能同时开通,否则主电路短路,对于这种高电压大电流的功率电路而言,将是灾难性的事故,必须在硬件电路上进行设计,防止上、下桥臂直通。采用的设计为:若上桥臂 HCPL-316J 的 V_{in+} 接驱动信号 PWM1, V_{in-} 接驱动信号 PWM2,则下桥臂 HCPL-316J 与此相反,下桥臂 HCPL-316J 的 V_{in+} 接 PWM2, V_{in-} 接 PWM1。同时,上桥臂 HCPL-316J 的 $\overline{\text{RESET}}$ 端接 PWM2 取反后的信号 $\overline{\text{PWM2}}$,下桥臂 HCPL-316J 的 $\overline{\text{RESET}}$ 端接 PWM1 取反后的信号 $\overline{\text{PWM1}}$,则当 PWM1 和 PWM2 同时为高时,上、下 2 个桥臂只能同时关断,不会同时导通。驱动电路原理详见图 7,驱动信号 PWM1 和 PWM2 由 FPGA 发出,中间经过排线到达驱动板,再经 7414 芯片后输入驱动芯片 HCPL-316J,7414 不仅能为 PWM1 和 PWM2 取反,方便控制 2 片驱动器 HCPL-316J 的 $\overline{\text{RESET}}$ 端,而且能有效对 PWM1 和 PWM2 进行信号整形,防止因驱动信号畸变而导致 IGBT 开关误动作。

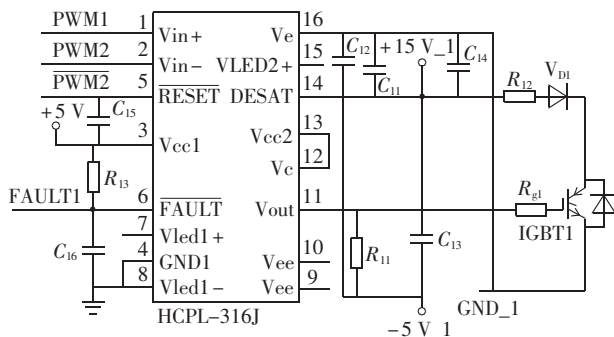


图 7 基于 HCPL-316J 的驱动电路

Fig.7 Drive circuit based on HCPL-316J

2.5 带有死区的 SPWM 算法

SPWM 波形通过在一个时钟基准下比较调制波正弦数组和三角载波的大小而产生,当正弦数组大于三角载波时,输出高电平;否则,输出低电平。由

于载波频率为 10 kHz,工作周期为 100 μs ,而功率开关器件 IGBT 以及与 IGBT 相并联的反向二极管均存在反向恢复时间,因此为防止上、下桥臂同时导通而损坏电路,必须从软件上保证驱动单相逆变器上、下桥臂的 2 路 SPWM 脉冲具有一定的死区时间,即保证同一桥臂上的一只 IGBT 可靠关断后,另一只开关管才能开通。采取延时导通和按时关断的单边不对称死区设置方式,死区时间设为 2 μs ,算法流程见图 8。将 SPWM 波形和死区标志 flag 逻辑相与后输出,即可得到具有死区的 SPWM 波形。

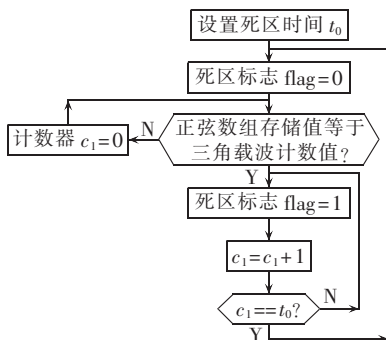


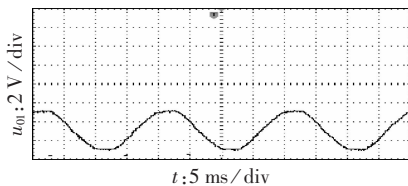
图 8 死区算法流程

Fig.8 Flowchart of dead-zone algorithm

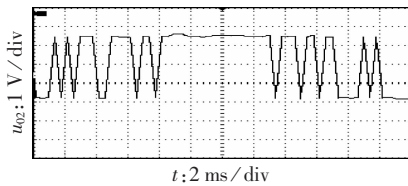
3 实验验证

为验证所提控制方案在实际应用中的效果,特开发一台 5 kW 光伏并网实验平台。直流母线稳压电容为 2200 μF ,IGBT 为 FGA25N120ANTD(耐压为 1200 V),滤波电抗器为 1 mH,工频隔离变压器变比为 1:2,最大功率点跟踪电压范围为 200~400 V。

图 9(a)为电网电压经信号调理电路后的输出波形 u_{01} ,可见已将交流 220 V 电压信号调理到压频转换器的最佳线性工作区间 $-7.5 \sim -2.5$ V 内;图 9(b)为输入 DSP 捕获口的信号波形 u_{02} ,可见输入到 DSP 捕获口的波形频率是随压频转换器输入电压的变化而变化的;图 9(c)为与电网电压同步的方波信号 u_{03} 和数字锁相环波形 u_{04} ,可见第 1 个电网电压过零点时刻,即第 1 个方波信号上升沿时刻,就实现了锁相;图 9(d)为 FPGA 输出的载波频率为 10 kHz 的 SPWM 波形;图 9(e)为电网电压 u_0 与逆变器输出电流 i_0 波



(a) 电网电压 u_0 经信号调理电路的输出波形 u_{01}



(b) 电网电压 u_0 经压频转换器的输出波形 u_{02}

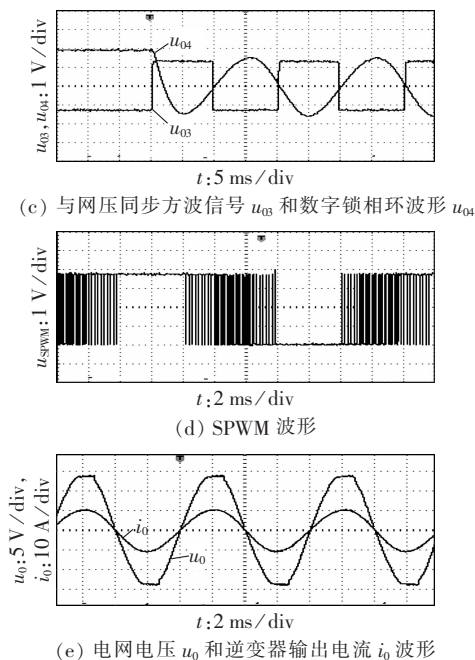


图 9 实验结果

Fig.9 Experimental results

形,可见实现了单位功率因数并网运行。

4 结论

提出了一种基于 DSP 和 FPGA 双 CPU 结构的单相光伏并网控制器新型设计方案,并成功应用于一台 5 kW 单相并网逆变器中,实现了单位功率因数并网运行。该方案集 DSP 快速运算的实时性和 FPGA 的高可靠性于一体,有以下优点:

a. 基于压频转换器和 DSP 捕获口的数据采集电路不仅成本较低,实现了外围电路与 DSP 间的隔离,而且有效兼顾了采样的快速性和高精度,使 DSP 能根据当前天气情况快速计算出当前时刻的最大功率点跟踪电流;

b. FPGA 集 SPI 通信、数字锁相环算法、电流内环无差拍控制和 SPWM 驱动算法于一体,能有效实现逆变器输出电流对电网电压快速稳定地跟踪;

c. FPGA 中 SPWM 驱动算法的死区设计和基于光耦 HCPL-316J 的驱动电路设计从软、硬件两方面有效避免了逆变器上、下桥臂的直通现象,保障系统安全。

参考文献:

- [1] 张承慧,叶颖,陈阿莲,等. 基于输出电流控制的光伏并网逆变器[J]. 电工技术学报,2007,22(8):41-45.
ZHANG Chenghui, YE Ying, CHEN Ailian, et al. Research on grid-connected photovoltaic inverter based on output current control[J]. Transactions of China Electrotechnical Society, 2007, 22(8): 41-45.
- [2] 马茜,戴瑜兴,易龙强. 基于 DSP 的光伏并网发电系统软件锁相技术[J]. 电力自动化设备,2010,30(2):99-102.
MA Qian, DAI Yuxing, YI Longqiang. Software PLL of grid-connected PV power generation system based on DSP[J]. Electric Power Automation Equipment, 2010, 30(2): 99-102.

- [3] 张海波,孙邦伍,原慧军,等. 基于 DSP 太阳能光伏并网系统的应用研究[J]. 农业工程学报,2006,22(增刊 1):171-174.
ZHANG Hai-bo, SUN Bangwu, YUAN Huijun, et al. Application and study of solar photovoltaic grid-connected system based on DSP[J]. Transactions of the CSAE, 2006, 22(Supplement 1): 171-174.
- [4] 陈愚,潘俊民,禹华军,等. 光伏并网发电系统的 DSP 控制与实现[J]. 微计算机应用,2006,27(4):449-452.
CHEN Yu, PAN Junmin, YU Huajun. DSP control and realization in PV grid-connected system[J]. Microcomputer Applications, 2006, 27(4): 449-452.
- [5] YU Wenlong, LEE Tingpeng, WU Guanhong, et al. A DSP-based single-stage maximum power point tracking PV inverter[C]//Applied Power Electronics Conference and Exposition. Palm Springs, CA, USA: IEEE, 2010: 948-952.
- [6] LIANG Zhigang, ALESI L, ZHOU Xiaohu, et al. Digital controller development for grid-tied photovoltaic inverter with model based technique[C]//Applied Power Electronics Conference and Exposition. Palm Springs, CA, USA: IEEE, 2010: 849-853.
- [7] CHIANG Wenjun, JOU Hurngliang, WU Jinnchang. Maximum power point tracking method for the voltage-mode grid-connected inverter of photovoltaic generation system[C]//IEEE International Conference on Sustainable Energy Technologies. Singapore: IEEE, 2008: 1-6.
- [8] 郭伟峰,杨世彦,杨威,等. 基于 DSP-FPGA 全数字控制的并联有源电力滤波器[J]. 电工技术学报,2007,22(5):123-127.
GUO Weifeng, YANG Shiyang, YANG Wei, et al. Shunt active power filter based on DSP-FPGA fully digital control[J]. Transactions of China Electrotechnical Society, 2007, 22(5): 123-127.
- [9] 左小琼,孙建军,查晓明. 基于 DSP 和 FPGA 实现的逆变电源重复学习控制[J]. 电工技术学报,2006,21(5):42-46.
ZUO Xiaoqiong, SUN Jianjun, ZHA Xiaoming. Repetitive learning control of inverter system and its DSP-FPGA implementation[J]. Transactions of China Electrotechnical Society, 2006, 21(5): 42-46.
- [10] 孙大南,李哲峰,王少林,等. 基于 DSP-FPGA 全数字控制的矢量控制系统[J]. 电力电子技术,2008,42(11):26-27.
SUN Danan, LI Zhefeng, WANG Shaolin, et al. Vector control system based on DSP-FPGA full-digital control[J]. Power Electronics, 2008, 42(11): 26-27.
- [11] 周德佳,赵争鸣,袁立强,等. 具有改进最大功率跟踪算法的光伏并网控制系统及其实现[J]. 中国电机工程学报,2008,28(31):94-100.
ZHOU Dejia, ZHAO Zhengming, YUAN Liqiang, et al. Implementation of a photovoltaic grid-connected system based on improved maximum power point tracking[J]. Proceedings of the CSEE, 2008, 28(31): 94-100.
- [12] ZHOU Dejia, ZHAO Zhengming, YUAN Liqiang, et al. Optimum control and stability analysis for a 300 kW photovoltaic grid-connected system[J]. Transactions of China Electrotechnical Society, 2008, 23(11): 116-122.
- [13] FEMIA N, PETRONE G, SPAGNUOLO G, et al. Optimization of perturb and observe maximum power point tracking method[J]. IEEE Transactions on Power Electronics, 2005, 20(4): 963-973.
- [14] 张扬,杨浩然. 光伏并网逆变器控制算法的研究[J]. 低压电器,2009(19):8-11.
ZHANG Yang, YANG Haoran. Research on control strategies of photovoltaic grid-connected inverter[J]. Low Voltage Apparatus, 2009(19): 8-11.
- [15] 张强,刘建政,李国杰. 单相光伏并网逆变器瞬时电流检测与补偿控制[J]. 电力系统自动化,2007,31(10):50-54.
ZHANG Qiang, LIU Jianzheng, LI Guojie. Instantaneous current

detection and compensation of single-phase photovoltaic grid-connected inverter[J]. Automation of Electric Power Systems, 2007, 31(10): 50-54.

(实习编辑: 李 莉)

作者简介:

郑 飞(1982-),男,湖北天门人,博士研究生,研究方向

为光伏并网发电技术、智能控制(E-mail: xiaofeiniuao2008@tom.com);

费树岷(1961-),男,安徽宣城人,教授,博士研究生导师,主要研究混杂系统、非线性系统控制等;

周杏鹏(1951-),男,江苏宜兴人,教授,博士研究生导师,主要研究工业控制系统在线检测与优化技术、智能控制等。

Design and implementation of photovoltaic grid-connection controller based on DSP and FPGA

ZHENG Fei, FEI Shumin, ZHOU Xingpeng

(Key Laboratory of Measurement and Control of CSE, Ministry of Education, Southeast University, Nanjing 210096, China)

Abstract: A single-phase PV(PhotoVoltaic) grid-connection control scheme based on DSP and FPGA(Field-Programmable Gate Array) is proposed. The DSP is responsible for the voltage-frequency-conversion-based high-accuracy data acquisition, MPPT(Maximum Power Point Tracking) and voltage control loop. It transmits the calculated MPPT current to FPGA via serial peripheral interface. FPGA is responsible for the grid-voltage digital phase-locked loop, current deadbeat control and SPWM drive algorithm. It controls the on-off of inverter arm switches via the drive circuit based on HCPL-316J optical coupler. The proposed scheme is applied to a 5 kW single-phase PV grid-connected system and experiments show that, the controller integrates the fast computing capability of DSP with the high reliability of FPGA, resulting in excellent grid-connected operating performance.

Key words: single-phase photovoltaic grid-connection; field-programmable gate array; voltage-frequency conversion; digital phase-locked loop; drive circuit