62

Vol.33 No.2 Feb. 2013

一种减小混合箝位多电平逆变器母线电容 冲击电流的 PWM 控制方法

谭 成,何原明,赵 菁,何湘宁

(浙江大学 电力电子技术国家专业实验室,浙江 杭州 310027)

摘要:提出了一种能够有效减小混合箝位多电平逆变器母线电容冲击电流的 PWM 控制方法。首先分析了 三相混合箝位型多电平逆变器拓扑的工作原理,寻找出了直流母线电容中冲击电流的产生机理。然后,提 出了一种改进的 PWM 控制方法,该方法对三相桥臂的箝位开关载波过渡线段选择不同的相位,可以降低 电容的电压纹波,从而明显减小了电容冲击电流,同时不影响输出电压质量。进一步对载波过渡线段的时 间基准进行了最优数学求解,以实现冲击电流幅值的最小。最后通过 Saber 仿真软件以及搭建的样机模型 验证了所提 PWM 控制方法的有效性。

0 引言

多电平逆变器因其开关器件耐压要求低、承受的 du/dt小、输出电压的总谐波畸变率低、电磁干扰小等特点,在工业中具有广阔前景,成为研究热点。 混合型多电平拓扑是在二极管箝位型^[1-2]、飞跨电容型^[3-4]和级联型^[5-6]这3种经典的多电平拓扑的基础 上发展起来的一类新型多电平拓扑^[7-10]。这类拓扑能够克服经典多电平拓扑的不足,并具有新的特点。

文献[7]提出的混合箝位拓扑通过系统中增加 悬浮电容的方式平衡了直流母线电压,克服了二极 管箝位拓扑需要复杂的控制方式才能够平衡母线电 容电压的缺点[11-14]。文献[8]中的拓扑以飞跨电容三 电平拓扑为基本单元,采用级联的方式将其连接,构 成了电容箝位型混合拓扑。文献[9]采用了二极管箝 位三电平拓扑为基本单元,以级联的方式构成了新 的混合型多电平拓扑。文献[6]提出的一种混合箝位 多电平拓扑将二极管箝位型和飞跨电容型多电平拓 扑进行了有机结合。由于通过硬件改进实现了直流 母线电容电压自动平衡,该拓扑可节省控制芯片的 资源,降低了对控制芯片的要求。该拓扑还具有倍 压输出的功能,即输入电压仅为输出电压的1/2,这 样可以减小输入侧变压器的成本。在器件数量方 面,文献[6]所提的拓扑与传统的五电平二极管箝位 拓扑相比,减少了6个箝位二极管:与五电平飞跨电容 拓扑相比,减少了5个电容;与级联型拓扑相比,该

收稿日期:2011-12-15;修回日期:2012-11-30

拓扑对输入侧变压器的要求较低,有利于降低成本。 当该拓扑拓展至更高电平时,不需增加复杂的控制方 式便能够实现母线电容电压平衡。由于该拓扑能够 实现电压电流四象限运行,所以适合多种应用场合。

在对文献[6]的拓扑进行实验中发现,采用通用 控制方式^[15]时,直流母线电容存在幅值较大的冲击 电流。这将严重影响电容的寿命,增加系统损耗,降 低系统的可靠性。本文通过对混合箝位型多电平拓 扑工作原理的探究,寻找到产生冲击电流的原因,提 出一种改进的三相 PWM 控制方法,可有效减小冲击 电流的幅值。通过数学计算求得控制方式中的最优 组合,可将冲击电流降至最低。通过 Saber 工程软件 仿真和搭建样机验证了改进控制方式的有效性。

1 混合箝位型多电平逆变器拓扑

1.1 基本结构

图 1 为文献[6]提出的混合箝位五电平逆变器 拓扑,图中 U_{de} 表示一个直流母线电容所承受的电 压。单相拓扑包括电容电压平衡电路和四电平二极 管箝位电路。在三相系统中,每个桥臂共同并联至相 互串联的 2 个直流母线电容。

电容电压平衡电路部分包括 6 个箝位开关管和 3 个悬浮电容。箝位开关管可以分为 2 组, V_{Te2}、V_{Te4}、 V_{Te6}属于组 I, V_{Te1}、V_{Te5}属于组 I。相同组的开关 管控制信号完全相同, 不同组的箝位开关管控制信 号互补:如果组 I的开关管导通,则组 II的开关管关 断,电容电压平衡电路处于状态 A;如果组 II的开关 管导通,则组 I的开关管关断,电容电压平衡电路处 于状态 B, 见图 1。在状态 A 中, 平衡电路的 4 个输 出端 ①—④可以输出 +2U_{de}、+U_{de}、0 和 –U_{de}; 在状态 B 中, 平衡电路的 4 个输出端可以输出 +U_{de}、0, -U_{de}和

基金项目:国家自然科学基金资助项目(50737002);浙江省科 技攻关重大专项资助项目(2006C11005)

Project supported by the National Natural Science Foundation of China (50737002) and the Science and Technology Key Project Foundation of Science Committee of Zhejiang Province (2006C11005)



five-level inverter

-2U_{dc}。2种工作状态交替即形成了五电平输出。

四电平二极管箝位电路由 6 个箝位二极管 V_{D1}— V_{D6}、6 个主功率输出开关管 V_{T1}—V_{T6}和 3 个悬浮电 容组成。根据文献[16],每次有相邻 3 个主功率输 出开关管导通,且 V_{T1} 与 V_{T4}、V_{T2} 与 V_{T5}、V_{T3} 与 V_{T6} 这 3 对开关管的控制信号互补。箝位电路能够将每个 器件箝位至直流母线电容电压 U_{de},也能够为正向或 负向电流提供通路。

1.2 PWM 控制方式

调制方式采用的是文献[15]提出的混合箝位拓 扑的通用控制方式。图 2 为主开关 V_{T1}、V_{T2}、V_{T3}和箝 位开关管 V_{Te1}的载波波形,u_m代表调制波。与传统 PWM 控制^[17]的载波形态不同,在通用调制方式中, 每个开关器件的调制波位于 2 个载波带。对于箝位 管 V_{Te1}的载波,其载波处于非相邻的 2 个载波带,所 以产生了载波过渡线段 *AB* 和 *CD*。若调制波与载波 过渡线段相交,则箝位开关管会发生一次状态改变, 电容电压平衡电路的工作状态也会相应改变。



图 2 混合箝位五电平拓扑单相载波波形 Fig.2 Single-phase carrier waveform of hybrid-clamped five-level inverter

图 3 为采用通用调制方式时,三相桥臂箝位开 关管的载波波形(*u*_{VTEIA}、*u*_{VTEIB}和 *u*_{VTEIC})及其控制信号, *u*_{mA}、*u*_{mB}和 *u*_{mC}分别表示 A 相、B 相和 C 相的调制波。 可以看到,由于三相箝位管的载波相位相同,它们的



载波过渡线段位置也相同,当调制波与载波过渡线 段相交时,三相箝位开关管会同时发生状态改变。 如图3底部的箝位管控制信号,"3"表示在同一时刻 三相箝位开关管同时发生动作。

1.3 混合箝位多电平拓扑的电容电压自平衡

混合箝位多电平拓扑因为其电容电压平衡电路 可以自动实现直流母线电容电压平衡,而不需要复 杂的控制方式。

以单相情况下的电容 C_1 为例。假设系统已处于 稳定工作状态,直流母线电容和悬浮电容的电压均 为 U_{dc} ,且电压平衡电路在状态 A,系统通过③端经 四电平二极管箝位电路输出 + U_{dc} 。这样, C_1 与 C_4 并 联,共同为负载提供能量。能量输出造成 C_1 的电压 下降,而此时其他电容因为不处于能量输出回路,而 保持电压不变或通过直流母线充电而略微上升。状 态 A 与状态 B 交替出现,所以在下一时刻,电压平衡 电路通过箝位管的状态改变而进入状态 B。在状态 B 中, C_1 与 C_3 并联,两者会发生电荷转移,以保证电容 两端电压相等且直流母线将对 C_1 充电。如此,虽然 C_1 的电压有升有降,但在一个周期内,实现了电压的 动态平衡。拓扑中其他电容电压的平衡原理相同。

2 直流电容冲击电流的产生机理

2.1 通用调制方式下单相系统中直流母线电容的 冲击电流

通过上文分析,电容电压平衡电路通过改变电容 的并联方式,可以实现电压的动态平衡。然而,在并 联的过程中,电荷需要在短暂的时间内完成转移,因 而产生了冲击电流。这种电流频率高、幅值高,当流 经电容后,会使电容发热情况加重,大幅降低了电容 的使用寿命,也降低了系统的可靠性。

首先分析单相系统中流经直流母线电容的冲击 电流。图 4 为电容 C₁、C₃、C₄ 的电压和流经电容 C₁ 的 电流。当箝位管 V_{Te1} 的控制信号 u_{gVTe1} 由低变高时, 表示组 II 的开关管由关断转为开通,电路转为状态



图 4 单相系统电容 C_1 、 C_3 、 C_4 电压和 C_1 电流 Fig.4 Voltage across C_1 , C_3 and C_4 , and surge current through C_1 in single-phase system

B,电容 C₁ 与 C₃ 发生并联动作。并联后,由于两者电 压不同,会产生冲击电流,以实现电荷转移。可以明 显看到,当电容 C₁ 与电容 C₃ 的电压相差较大时,冲 击电流的幅值也会增大;而当两电容电压相差较小 时,冲击电流也会减小。

由于 C₁ 与 C₃ 并联时,C₁ 的电压高于 C₃,所以两 者并联时 C₁ 放电,产生正向的冲击电流;C₁ 与 C₄ 并 联时,C₁ 的电压低于 C₄,两者并联时 C₁ 被充电,产生 负向的冲击电流。所以,如果能够减小电容的电压纹 波,那么悬浮电容和直流母线电容的电压差值会减 小,冲击电流也会减小。

2.2 通用调制方式下三相系统中直流母线电容的 冲击电流

由 2.1 节的分析可知,发生并联的电容电压差值 是影响冲击电流大小的重要因素。如果能够减小电 容之间的电压差值,就可以有效地减小冲击电流。

图 5 为三相系统中,电容 C₁与 A 相悬浮电容 C_{3A}的电压纹波和流经电容 C₁的电流波形。可以看 到,C₁和 C_{3A}的电压差与图 4 相比明显减小,流经电 容 C₁的电流幅值与图 4 中的电流幅值相比也明显减 小。这是因为与单相系统相比,三相系统有 3 个桥 臂的悬浮电容,直流母线电容被箝位的次数增加, 所以电压的波动减小,冲击电流的幅值也随之减小。

通过对电容电压平衡电路的分析可知,当调制



图 5 三相系统电容 C_1 、 C_{3A} 电压和 C_1 电流 Fig.5 Voltage across C_1 and C_{3A} and surge current through C_1 in three-phase system

波与箝位开关管的载波相交,箝位开关管发生动作, 会使母线电容被悬浮电容箝位。在调制波与箝位开 关管载波相交的时刻中,有些时刻只有某一相的箝 位管发生动作,而另外某些时刻,有两相或者三相的 箝位管同时发生动作(见图 3),后者称之为"动作重 叠时刻"。在一般控制方式下,由于每相箝位管的载 波完全一致,特别是当调制波与载波过渡线段相交 时,产生了大量的"动作重叠时刻",这使得三相系 统中直流母线电容被悬浮电容箝位的次数减少,增 加了电容充电或放电的时间,进而增加了母线电容 与悬浮电容的电压差,导致产生过高的冲击电流。

图 3 说明三相系统中,采用通用调制方式时,会 产生大量的"动作重叠时刻"。

3 改进的 PWM 控制方法

3.1 改进的 PWM 控制方法原理

由于通用调制方式中重叠的载波过渡线段产生 了大量"动作重叠时刻",改进的 PWM 控制方式更改 了 B、C 相的载波过渡线段的位置,以减小"动作重叠 时刻"的数量。图 6 为采用改进 PWM 控制方法后, 三相系统中"动作重叠时刻"发生的次数。可以看 到,尽管箝位管的载波形态没有发生改变,但由于 B、 C 相的载波初始状态与 A 相载波不同,使得在同一时 刻下,三相载波不再相同,三相的载波过渡线段也不 再重合。这就避免了"动作重叠时刻"的大量产生。

改进的 PWM 控制方式以 A 相箝位管载波过渡 线段为参考, B 相和 C 相的箝位管载波过渡线段可 以设置与 A 相载波过渡线段相差某个相位以减少



"动作重叠时刻"的数量。这样,在每一时刻,仅有某 一相的箝位管动作,即一相的悬浮电容箝位母线电 容,母线电容被箝位的次数增加,电容电压更接近 U_a, 电压纹波降低,冲击电流也会得到限制。图 4 中有 12 个动作重叠时刻,每个时刻均有三相箝位管一起 动作,即如果与理想情况(每次只有一相箝位管动 作)相比,通用调制方式下直流母线电容被箝位的次 数少了 30 次。而图 6 中,在采用改进的控制方式后, 在相同的时间内只产生了 6 个"动作重叠时刻",每 个时刻只有两相箝位管一起动作,直流母线电容被 箝位的次数比理想情况少了 6 次,即改进的控制方 式可以明显增加母线电容被箝位的次数。

图 7 为三相系统中,采用通用调制方式和改进 调制方式时流过 C₁的电流,在改进调制方式中,B 相箝位管的载波过渡线段与 A 相的相差 200 μs,C 相箝位管的载波过渡线段与 A 相的相差 500 μs。由 于拓扑的对称性,文中只以母线电容 C₁为例。可见, 采用改进调制方式后,流过 C₁的电流减小至 100 A 以下,说明改进调制方式能够有效减小冲击电流。



3.2 改进控制方式的最优计算

首先,以A相载波过渡线段为时间基准参考,将 B相载波过渡线段与A相载波过渡线段的相位差定 义为"pdAB",将C相载波过渡线段与A相载波过渡 线段相位差定义为"pdAC"。随着 pdAB和 pdAC的 变化,B相和C相的箝位管控制信号将发生变化, "动作重叠时刻"的数量也将随之改变。

由于对 pdAB 和 pdAC 进行恰当的选择可以减 少"动作重叠时刻"发生的数量,增加母线电容被箝 位的次数,减小电容电压纹波,最终减小冲击电流, 所以需要寻找到最优的 pdAB 和 pdAC 的组合值,当 B 相、C 相箝位管载波与 A 相箝位管载波的相位差 为此最优值时,"动作重叠时刻"的发生次数最少,母 线电容能够获得最多的箝位次数,冲击电流也最小。

根据上文的分析,电容并联方式的更改导致了 冲击电流的产生。前一次并联动作产生的冲击电流 没有消失之前,不可以发生第2次电容并联动作,否 则会导致2次冲击电流叠加,产生幅值更大的冲击 电流,所以两相箝位管载波过渡线段的时间差必须 要大于某个时间长度。假设混合箝位多电平系统中 的直流母线电容容值为 2 000 μ F,如果线路的寄生电 阻约为 50 m Ω ,冲击电流的峰值会达到 100 A,这样 需要数十微秒的时间让冲击电流降至 10% 以下。所 以直流母线电容 2 次被箝位的时间间隔可以设置在 90 μ s 左右,以满足以上要求。另外,如果载波频率为 f_{α} 那么 pdAB 和 pdAC 的值均不能超过 1/ f_{α} 。

本文载波频率为 1000 Hz, 当考虑以上几点要 求后,以 100 µs 为 pdAB 和 pdAC 的变化增量。通用 调制方式即为 pdAB=pdAC=0 µs 的情况。为寻找到 可以将冲击电流降至最小的 pdAB、pdAC 值,采用了 Mathematica 工程数学软件。pdAB 和 pdAC 从 0 µs 变 化至 900 µs,以 100 µs 等距递增,共有 100 种不同 的相位差组合方式,利用 Mathematica 编程求取每种 组合下"动作重叠时刻"发生的次数。最优的 pdAB 和 pdAC 组合值对应的"动作重叠时刻"总数最少。

图 8 为计算一种组合 A 相与 B 相之间所产生 的"动作重叠时刻"次数的程序流程图。图中, t_A 记录 了 A 相箝位开关管的动作时刻, t_B , t_c 记录了 B 相、C 相箝位管的动作时刻, θ 为 B 相与 A 相的相位差。对 每相时间数据进行比较,如果 2 个时刻的时间间隔 小于设定的阈值,则说明产生了一次"动作重叠时 刻",并记录此时刻于 n_A ,C 相与 A 相之间的"动作 重复时刻"计算方法与此相同,同时三相箝位管同时 动作的时刻只记作一次"动作重叠时刻"。最后在 Sum 中记录了该组合情况的"动作重叠时刻"总数。



图 8 计算 A 相与 B 相存在的"动作重叠时刻" 的程序流程图

Fig.8 Flowchart of calculation of overlapping time between phase A and B

图 9 为计算结果。当 pdAB = 0.4 ms、pdAC = 0.7 ms 时,发生的"动作重叠时刻"次数最少,为1次。

4 仿真与实验验证

为了验证改进 PWM 控制方式的可行性,本文





利用 Saber 工程软件仿真,并搭建实验样机进行实验。实验与仿真参数相同,如下:调制比 M=0.85,载 波频率 $f_c=1000$ Hz,基波频率 $f_0=50$ Hz,直流侧电压为 1200 V,阶梯期望电压为 300 V,阶梯数为 5,直流母线电容为 2200 μ F,悬浮电容为 2200 μ F,每相负载(星形)为 23 Ω 。

仿真中采用 pdAB=0.4 ms, pdAC=0.7 ms, 即 B 相箝位开关管载波过渡线段与 A 相相差 0.4 ms, C 相载波过渡线段与 A 相相差 0.7 ms, 仿真结果由图 10 给出。与图 5 采用通用调制方式的 C₁ 电压、电流 相比, 图 10 中的电容电压最高值由大于 305 V 降低 至 303 V, 波动更小; 冲击电流正向峰值由 135 A 降 低至 38 A, 减少了 71.9%; 负向峰值绝对值由 140 A 降低至 42 A, 减少了 70%。





图 11 为采用改进控制方式和最优相位差组合 后电容 C₁的电流实验波形。与图 12 中采用通用调 制方式相比,冲击电流的正向峰值由 21 A 降低至 12 A,负向峰值绝对值由 75 A 降低至 20 A,减小幅度分 别为 42.9%、73.3%。可以看到,改进控制方式有效 地抑制了冲击电流的幅值。

改进控制方式对输出的相电压、线电压的谐波 含量没有造成影响。图 13 为实验 C 相电压输出波 形。在文献[10]中,调制比为 0.8 时输出相电压的



图 13 C 相输出电压、CA 线电压实验波形 Fig.13 Experimental waveforms of output voltage of phase C and line voltage of phase CA

THD 为 38.7%,采用改进 PWM 控制方式后,输出相 电压的 THD 为 35.6%。

另外,搭建的实验样机中的线路寄生参数(如杂 散电感等)会对冲击电流有抑制效果,所以实验结果 比仿真结果有所减小。但是混合箝位型多电平系统 通常应用于中高压的工业环境中,为了减少损耗,系 统的线路寄生参数会设计得尽量小,此时实验结果 会更趋近于仿真结果。仿真结果与实验结果均表明, 改进 PWM 控制及其最优组合较好地减小了流经直 流母线电容的冲击电流。

5 结论

本文针对混合箝位多电平拓扑提出了一种改进 的 PWM 控制方式,对抑制流过母线电容的冲击电流 有明显的效果。在此基础上,通过数学计算求得了最 优的组合方式,使得母线电容获得最多次的被箝位 机会,从而将冲击电流限制至最小值。此种控制方式 适用于含有悬浮电容的混合箝位多电平拓扑。仿真 和实验结果均表明改进 PWM 控制方式有效地降低



了流经母线电容的冲击电流,从而降低了系统的损耗,延长了电容的寿命,进而提高了系统的可靠性。

参考文献:

- [1] NABAE A,TAKAHASHI I,AKAGI H. A new neutral-point-clamped PWM inverter[J]. IEEE Transactions on Industry Applications, 1981,IA-17(5):518-523.
- [2] TEHRANI K A, RASOANARIVO I, ANDRIATSIOHARANA H, et al. A new multilevel inverter model NP without clamping diodes [C]//IECON'2008. Orlando, FL, USA; [s.n.], 2008;466-472.
- [3] SALINAS F, GONZA X, LEZ M A, et al. New voltage balancing strategy for flying capacitor multilevel converters [C]//CIEP'10. San Luis Potosi, Mexico: [s.n.], 2010:185-190.
- [4] KHAZRAEI M,SEPAHVAND H,CORZINE K,et al. A generalized capacitor voltage balancing scheme for flying capacitor multilevel converters [C] // APEC'10. Palm Springs,CA,USA: [s.n.],2010;58-62.
- [5] SURESH Y,PANDA A K,MAHESH M. An improved performance of cascaded multilevel inverter with single DC source by employing three-phase transformers [C] // IPEC'10. Singapore : [s.n.],2010:1088-1093.
- [6] RODRIGUEZ J,LAI Jihsheng,PENG Fangzheng. Multilevel inverters: a survey of topologies,controls, and applications[J]. IEEE Transactions on Industrial Electronics,2002,49(4):724-738.
- [7] 韩云龙,赵菁,程隽,等. 一种开关电容和二极管钳位组合的多电 平拓扑[J]. 中国电机工程学报,2010,30(3):49-54.
 HAN Yunlong,ZHAO Jing,CHENG Jun, et al. A multilevel topology by combination of switched-capacitor and diode-clamped circuits[J]. Proceedings of the CSEE,2010,30(3):49-54.
- [8] ALIAN C, HE Xiangning. A hybrid clamped multilevel inverter topology with neutral point voltage balancing ability[C]//PESC' 04. Aachen, Germany; [s.n.], 2004; 3952-3956.
- [9] SNEINEH A A, WANG Mingyan, TIAN Kai. A hybrid capacitorclamp cascade multilevel converter[C]//IECON'06. Paris, France: [s.n.], 2006;2031-2036.
- [10] DING Kai,ZOU Yunping,WANG Zhan, et al. A novel hybrid diode-clamp cascade multilevel converter for high power application[C]//Conference Record of the 2004 IEEE Industry Applications Conference, 2004. 39th IAS Annual Meeting. Seattle, USA; IEEE, 2004; 820-827.

- [11] KHAJEHODDIN S A, BAKHSHAI A, JAIN P K. A simple voltage balancing scheme for *m*-level diode-clamped multilevel converters based on a generalized current flow model[J]. IEEE Transactions on Power Electronics, 2008, 23(5):2248-2259.
- [12] VERNE S A, GONZALEZ S A, VALLA M I. An optimization algorithm for capacitor voltage balance of N-level diode clamped inverters [C] // 34th Annual Conference of IEEE Industrial Electronics, 2008. IECON 2008. Orlando, Florida, USA: IEEE, 2008:3201-3206.
- [13] AKAGI H,HATADA T. Voltage balancing control for a threelevel diode-clamped converter in a medium-voltage transformerless hybrid active filter[J]. IEEE Transactions on Power Electronics, 2009, 24(3);571-579.
- [14] PAN Zhiguo, PENG Fangzheng. A sinusoidal PWM method with voltage balancing capability for diode-clamped five-level converters[J]. IEEE Transactions on Industry Applications, 2009, 45 (3):1028-1034.
- [15] ZHAO Jing, HE Xiangning, ZHAO Rongxiang, et al. A novel PWM control method for hybrid-clamped multilevel inverters [J]. IEEE Transactions on Industrial Electronics, 2010, 57(7): 2365-2373.
- [16] YUAN Xiaoming, BARBI I. Fundamentals of a new diode clamping multilevel inverter [J]. IEEE Transactions on Power Electronics, 2000, 15(4):711-718.
- [17] SHUKLA A,GHOSH A,JOSHI A,et al. Control schemes for DC capacitor voltages equalization in diode-clamped multilevel inverter-based DSTATCOM[J]. IEEE Transactions on Power Delivery,2008,23(2):1139-1149.

作者简介:

谭 成(1985-),男,辽宁大连人,硕士研究生,研究方向 为大功率混合箝位多电平逆变器(E-mail:tancheng@zju.edu.cn);

何原明(1988-),男,浙江温州人,硕士研究生,研究方向 为大功率混合箝位多电平逆变器:

赵 菁(1977-),女,江西南昌人,博士研究生,研究方向 为电力电子技术及其工业应用;

何湘宁(1961-),男,湖南长沙人,教授,博士研究生导师,博士,从事电力电子技术及其工业应用方面的研究和工程设计工作(E-mail:hxn@zju.edu.cn)。

PWM control to reduce surge current of DC-bus capacitor for hybrid-clamped multilevel inverter

TAN Cheng, HE Yuanming, ZHAO Jing, HE Xiangning

(National Laboratory of Power Electronics, Zhejiang University, Hangzhou 310027, China)

Abstract: The operating principle of three-phase hybrid-clamped multilevel inverter is analyzed and the cause of its DC-bus capacitor surge current is researched, for which, a method of pulse width modulation control is proposed to reduce the surge current. Without impacting the quality of output voltage, different transitional line phases of carrier are selected for the clamping switches of three-phase bridge arms to greatly reduce the surge current of DC-bus capacitor due to its reduced voltage ripple. The optimum position of transitional lines is calculated to obtain the smallest surge current. The effectiveness of the proposed method is verified by the simulation with Saber and the experiments with a prototype.

Key words: pulse width modulation; control; hybrid-clamped multilevel inverter; surge current; DC-bus capacitor; voltage ripple