合并单元时钟同步测试装置的研制及应用

李兴建,笃 峻,于 哲,赵玉灿,黄 辉,许宗光
(南瑞继保电气有限公司,江苏 南京 211100)

摘要:针对合并单元缺乏时钟同步异常状况测试的现状,设计了一种测试装置,该装置既能够自产生各种 IRIG-B 异常信号,又能够监视外接 IRIG-B 信号。利用该装置组成了自动化测试系统,通过自动化闭环测试方法,校验合并单元在时钟同步信号异常的情况下各种性能表现,补充了合并单元测试的测试手段,有助于提高合并单元的可靠性。

关键词:时钟同步;自动测试;合并单元;IRIG-B
中图分类号:TM 73 **文献标识码**:A DOI:10.16081/j.issn.1006-6047.2017.12.031

0 引言

与传统变电站相比,数字化变电站的结构体系发生了巨大的变化。数字化变电站的二次系统采用分层结构,包括站控层、间隔层、过程层三部分,互感器、保护及断路器之间的电缆硬导线连接被光纤代替,间隔层的保护测控设备的电流电压采样值输入由模拟信号转变为数字信号,保护测控设备的模拟信号采样也由装置内部实现转变为各个过程层的合并单元(MU)实现,这些变化对智能化变电站中的同步系统提出了更高的要求[1],时钟同步的性能直接影响继电保护的正常工作[2-3]。

文献[4]研究了变电站同步信号异常对保护装置的影响和对策,详细分析了合并单元针对同步异常脉冲情况的处理对策;文献[5]通过实例分析了时间同步故障造成保护装置误动的原因,提出了合并单元相关的改进方法。此类文献还有很多,在此不一一赘述,这些相关研究表明,合并单元作为保护测控装置的数据来源,其对同步信号异常情况的处理能力显得尤其重要,也有必要采取必要的措施,严格测试合并单元的时间同步性能指标。

针对合并单元的性能测试各个厂家以及电科院都提出了详细的方案,国家也制定了合并单元测试规范,规定了秒脉冲信号功能检验、对时误差检验、守时误差检验、失步再同步检验等功能检验[6],并给出了典型的测试方法。

典型的测试方法测试同步性能时需要 GPS 信号、继电保护测试仪、网络分析装置,涉及的步骤太多,且需要测试人员干预太多,对测试人员的水平要求也比较高,因此有厂家设计了一体化的测试仪器,将报文解析功能、PPS 测试甚至 GPS 信号都集成到测试仪器中,可实现除时间同步性能测试外的测试功能,取得了很好的测试效果。

但是已有的合并单元性能测试方案都没有涉及合并单元对于对时源异常情况的测试,无法检验合并单元对于对时源误码的防误能力,而现场环境比较复杂,时钟源接收卫星信号受天气等因素影响[7]、各厂家时钟同步装置的时钟晶振受温度变化影响、各厂家技术水平和制造工艺等都会引起一些干扰情况,这些情况都可能给时源信号造成干扰,这些干扰目前没有方法进行模拟,只能在现场发生状况时才能发现,因此无法完整测试合并单元的对时同步性能,尤其无法测试合并单元对同步时钟信号异常情况下的抗干扰能力;市面上也没有能产生 IRIG-B 信号异常情况的对时源用于对合并单元的测试。

鉴于此,本文提出了一种基于目前数字变电化站最常用的同步时钟信号 IRIG-B 产生各种异常情况,对合并单元进行测试的方法,并研制了专用的测试装置,旨在检验合并单元在时钟同步信号异常情况下的各种性能表现,提高合并单元对时钟同步信号的防误能力,并提供自动测试的方法,用于研发、工程现场验收及检修测试。

1 合并单元时钟同步测试装置的构成

合并单元时钟同步测试装置的测试方法如图 1 所示,该装置包括对时模块、模拟量模块、开关量模块、面向通用对象的变电站事件(GOOSE)收发模块、采样值(SV)收发模块、管理模块等,集成了测试合并

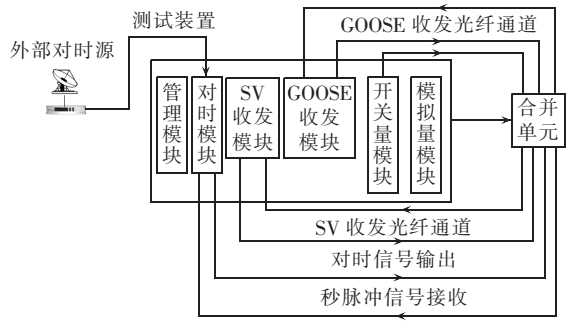

图 1 合并单元时钟同步测试装置结构

Fig.1 Structure of clock synchronization tester for MU

收稿日期:2017-05-31;修回日期:2017-10-30

单元的所有需求。

图 1 中各部分模块的功能如下。

(1)对时模块。对时模块采用 FPGA 芯片,提供 2 种主要功能。

a. 透传转发外部对时源的 IRIG-B 对时信号给合并单元,对外部对时源信号进行监视录波,接收合并单元的秒脉冲信号,用于对合并单元的秒脉冲信号输出功能检验、对时误差检验、守时误检验、失步再同步检验等。此功能不同于其他厂家的方案之处在于:对时模块的 FPGA 芯片可解码 IRIG-B 信号,监视信号的完整性,对 IRIG-B 编码中的"P"码、"0"码、"1"码提供监视,对于异常编码进行统计,若有异常情况将触发录波,对 IRIG-B 信号波形进行录波,结合合并单元的表现进行性能分析,对比验证合并单元的功能,同时也验证对时源信号质量。

b. 对时模块自产 IRIG-B 正常及异常信号,自产 IRIG-B 正常信号可以省略外部 GPS 对时装置,简化测试步骤;自产异常信号产生的 IRIG-B 码异常编码信号包括"P"码异常、"1"码异常、"0"码异常、循环冗余校验(CRC)异常、IRIG-B 秒长异常状况,用于测试异常情况下合并单元的对时性能。

(2)开关量模块。开关量模块用于输出常规开关量,使合并单元产生 GOOSE 变位或者事件顺序记录(SOE)报文,以提取合并单元时标,用于合并单元的各项功能检测判断。

(3)模拟量模块可以输出多路常规交流暂态、稳态信号,对合并单元进行采样值精度等功能检验。

(4)SV 模块。SV 模块订阅合并单元的 SV 报文,对收到的 SV 报文附上精准时标,解析 SV 报文,提供合并单元的时间均匀性、报文一致性、采样精度等性能测试。

(5)GOOSE 模块。GOOSE 模块可以订阅和发布 GOOSE 信号,发布 GOOSE 报文时,可以随时改变报文中的媒体介入控制(MAC)、APPID、GOref 等,测试合并单元的响应;订阅 GOOSE 信号时,对接收的报文附上精准时标,并对 GOOSE 报文进行解析,接收被测合并单元发布的 GOOSE 报文,解析 GOOSE 报文中"stNum"、"sqNum"、"存活时间"、"T0"等,检验是否存在"sqNum 丢失"、"sqNum 错序"、"sqNum 重复"、"stNum 丢失"、"stNum 错序"、"存活时间无效"和"T0 偏差大"等异常现象,以检验合并单元 GOOSE 报文的一致性。

(6)管理模块。管理模块主要用于协调调度测试时各个模块的执行以及与后台系统的通信。

上述合并单元的功能检验均可在对时模块产生的各种时钟同步异常情况下,进行更进一步的性能测试。

2　测试功能的具体实现

图 1 所示的合并单元同步测试装置支持 2 种时钟同步方式的合并单元的性能测试:外接 GPS 时钟源,此时 GPS 时钟源提供的 IRIG-B 信号通过本装置转发控制,测试的具体过程除了对外部时钟源提供的 IRIG-B 信号进行监视录波之外,其他测试方法、流程和本装置自产 IRIG-B 信号的模式相同;装置自产正常 IRIG-B 信号和 IRIG-B 信号异常状况除了在测试前产生 IRGI-B 控制异常状况之外,其他检验方法和流程相同。

2.1　外接 IRIG-B 透传及监视功能

外接 GPS 时钟源产生 IRIG-B 码,然后透传转发给合并单元,透传转发功能是通过 FPGA 芯片控制接入 IRIG-B 码,可以根据需要控制是否转发 IRIG-B 码,用于模拟失步后再同步的过程,不需要人工干预,有助于实现自动测试。监视功能则是通过 FPGA 芯片实时解码 IRIG-B 信号,监视信号的完整性,对 IRIG-B 码中的"P"码、"0"码、"1"码进行监视,对异常编码进行统计,若有异常情况则触发录波,对 IRIG-B 信号波形进行录波,录波时 FPGA 芯片记录异常状况发生前后各种码值的高低电平的时间,当合并单元性能测试出现问题时,通过软件展示当时同步源的场景,录波展示后的数据如图 2 所示。各种码值的时间均可以进行细节观察,有助于研发测试人员确定故障发生的原因,改进软、硬件的设计,提高合并单元的抗干扰性能,该功能也可以用于现场对 GPS 信

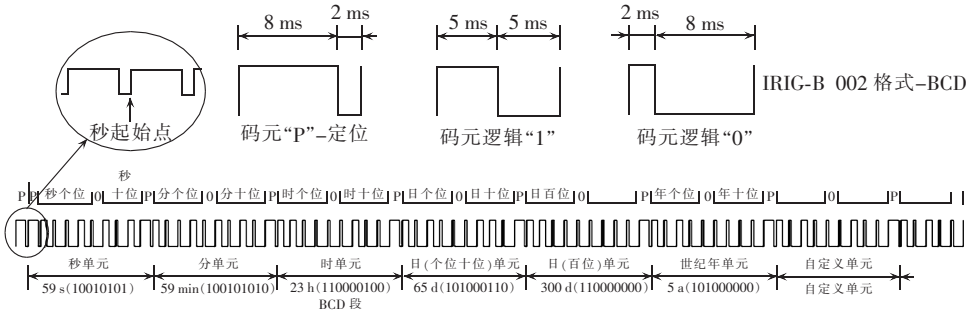

图 2 IRIG-B 码录波波形

Fig.2 Recording waveform of IRIG-B code

号的监视,测试装置接入GPS时钟源的一路IRIG-B码源进行实时监控,可以在站内设备出现故障时,对分析事故的原因提供帮助,具有一定的使用价值。

2.2 自产IRIG-B码的异常状况

对时模块采用恒温晶振,具有很高的精度,由FPGA芯片产生的正常IRIG-B码中夹杂的异常编码信号包括"P"码异常、"1"码异常、"0"码异常、CRC异常、IRIG-B秒长异常状况,用于测试异常情况下合并单元的对时性能;在测试其他性能之前IRIG-B异常状况可以根据需求进行预先设置,包括异常状况、异常状况出现的频率、持续的时间等。各种码值的异常情况如图3所示,这些异常情况不宜偏差太大,否则意义不大,秒长异常则在标准长度的基础上设置相应的延长和缩短不同的毫秒时间,并均匀分布在整秒的时间内。

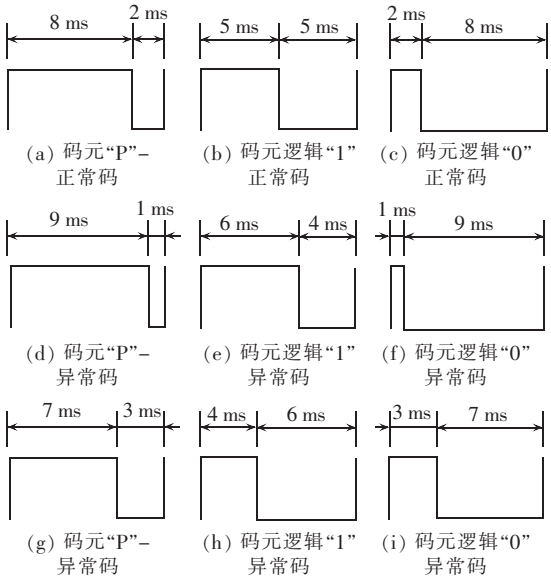

图3 IRIG-B码异常情况录波波形

Fig.3 Recording waveform of abnormal IRIG-B code

2.3 合并单元功能测试

合并单元功能主要包括SV/GOOSE报文订阅/发布测试,检修逻辑测试,电压切换、电压并列测试,时间同步性能测试,采样精度测试等[6],本文重点介绍异常情况下的测试,因此仅对与同步时钟关系最大的SV时间相关、时间同步性能测试以及采样精度测试进行介绍。

2.3.1 SV时间相关测试

合并单元中的时间参数如图4所示。

a. T_1为一次模拟量到电子式互感器采样之间的延时,其主要由采样元器件的超前或滞后引起的相角差引起。

b. T_2为帧传输延时,即从电子式互感器采样结束到其将该帧发送出来之前的间隔时间,其主要由CPU在处理组帧并驱动网卡发送数据引起的延时。T_2的

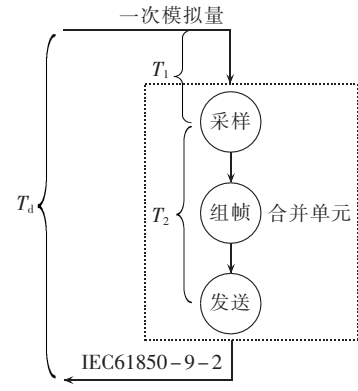

图4 合并单元时间参数

Fig.4 Time parameters of MU

离散度即帧传输延时的抖动测试,用于测试电子式互感器发送每一帧时的稳定性,对于基于点对点的电子式互感器,该值起到至关重要的作用,因为它对于接收方对其进行插值重建一次信号有重要的意义[6]。

c. T_d为绝对时延,即由测试装置测出来的合并单元发送的每个应用服务数据单元(ASDU)采样点(IEC61850-9-2)相对于一次侧信号的延时。

对于合并单元发布的SV,进行SV时间相关测试时重点关注T_2的离散度和T_d。测试装置和合并单元同步时,测试装置直接接收并解析被测合并单元发来的SV报文,0号采样序号的报文时刻和标准脉冲时刻进行比较,获得时间差T_d即为合并单元采样值报文响应时间。合并单元采样响应时间T_d不大于1 ms,级联母线合并单元的间隔合并单元采样响应时间不大于2 ms[6]。测试装置和被测合并单元非同步时,测试装置在规定整秒时刻输出电压、电流信号至合并单元,经合并单元转换后将IEC61850-9-2报文发给测试装置,在测试装置查看整秒时刻采样值角度与继电保护测试仪整秒时刻输出角度的差值,换算成时间(实测额定延时)T_d后即为合并单元采样值报文响应时间。

对于T_2的离散度测试,测试装置实时接收被测合并单元发送的SV报文,记录每帧SV报文的到达时刻,并据此计算出每帧之间的时间间隔T。T与标准采样间隔(若采样率为4 kHz,则标准采样间隔为250 μs)之间的差值即为发送间隔离散值,应满足规范中不大于10 μs要求[6]。

2.3.2 时间同步性能测试

a. 对时、守时特性检验。

采用外接GPS时钟源时,GPS对时装置对测试装置进行对时,测试装置转发对时IRIG-B码至被测合并单元,被测合并单元发送光PPS信号到测试装置,测试装置对比接收到的光PPS和标准秒脉冲的时间差Δt,即对时误差,其应满足不大于1 μs的要求;在待测合并单元进行对时后,测试装置停止转

发对时信号,并开始计时 10 min,在此过程中从机接收到的光 PPS 和标准秒脉冲的时间差 Δt 的最大值 Δt_{max} 应满足不大于 4 μs 的要求[6]。

b. 失步再同步特性检验。

当被测合并单元同步后,测试装置停止转发对时信号,待其失步后,测试装置在标准对时信号的基础上偏移 500 ms,重新转发该对时信号,并开始计时。测试装置接收被测合并单元发布的 SV 报文。在第 3~4 个秒脉冲间隔内对采样点进行偏差补偿,并在第 4 个秒脉冲沿将采样序号 SmpCnt 清零、将采样数据置同步标志;被测合并单元从失步到同步过程中,为了保证采样间隔的均匀性,相关标准要求采样脉冲的调整步长不应大于 1 μs[6]。

测试装置自产 IRGI-B 码时,测试方法同上。

2.3.3　采样精度测试

测试装置给被测合并单元加量,接收被测合并单元发布的 SV 报文。合并单元为了防止频率混叠,进行 AD 采样前需进行滤波抑制高次谐波,多通道之间也需要插值同步,使得采样有延迟[8]。

a. 非同步法测试。

测试装置的模拟量输出模块可以同时输出多路模拟量,模拟量的角度、输出时刻、稳态、暂态均可以设置,对于整周期的延时可以采取输出暂态信号的方式进行测试,进行暂态波形识别时可以明确观察到波形的起始边沿,因此可以准确计算出延时,避免整周期延时出错。测试装置一次可以输出多路电压、电流,可以同时测试合并单元报文中多路通道的延时和比差,提高测试的效率。

测试装置同步输出电压、电流模拟量,并实时接收合并单元发出的 SV 报文,再通过快速傅里叶(FFT)计算 1 个周期(20 ms)采样数据的幅值和相位。非同步法下,以测试装置实际输出的电压、电流波形为参考,假设测试装置输出的幅值为 A_1、相位为 θ_1,同一时刻的合并单元采样数据幅值为 A_2、相位为 θ_2,额定延时为 t_d,则比差 k 和角差 $\Delta\theta$ 为:

$$\begin{cases} k=(A_2-A_1)/A_1\times 100\% \\ \Delta\theta=\theta_2-1.08t_d-\theta_1 \end{cases}$$

其中,相位、角差单位为′;幅值单位为 A 或 V;额定延时单位为 μs。

b. 同步法。

基于同步法进行采样精度测试时,需测试装置接收对时装置对时信号或者自产对时信号,同时向待测合并单元转发对时信号。在同步方式下,被测合并单元按照 4 kHz 采样率进行等间隔采样。当对时信号秒脉冲来临时,合并单元 SV 报文采样序号 SmpCnt 翻转为 0,并且 0 号采样序号的 SV 报文采样数据对应于秒脉冲来临时的模拟量值;测试装置设定在秒脉冲来临时的瞬间输出模拟量值,按照其幅值、相角、稳态、暂态设定产生波形。该参考波形和被测合并单元 0 号采样序号 SV 报文采样值同步,其他采样值的对应关系依此类推。通过 FFT 计算合并单元 1 个周期(20 ms)采样数据的幅值和相位。

假设同步法下测试装置的幅值为 A_1、相位为 θ_1',同一时刻的合并单元采样数据幅值为 A_2'、相位为 θ_2',额定延时为 t_d,则比差 k 和角差 $\Delta\theta$ 为:

$$\begin{cases} k=(A_2-A_1)/A_1\times 100\% \\ \Delta\theta=\theta_2-\theta_1 \end{cases}$$

c. 谐波采样值精度。

测试装置在输出基波的基础上混叠合并单元规范中要求的 1—13 次谐波,并接收待测合并单元的 SV 报文,计算 SV 交流量的参数,包括电压/电流幅值、相位角、谐波分量等交流量,并将计算值和实际预设输出的谐波的幅值、相角、次数、百分比等进行比较,检验合并单元采样在谐波情况下的性能表现。

d. 频率变化采样值精度。

测试装置分别输出 45 Hz、47 Hz、49 Hz、49.5 Hz、50 Hz、50.5 Hz、51 Hz、53 Hz、55 Hz 的电压、电流信号(三相平衡、任意初始相位角),接收合并单元的 SV 报文并进行实时计算,检查合并单元对不同频率信号的处理结果。

上述各项测试项目在时钟同步正常状况下进行,校验合并单元的性能表现,然后在施加各种异常时钟信号的情况下,再次进行所有测试项目,校验合并单元的性能表现,这样可以充分保证合并单元的性能能够满足测试规范的指标。本文采取的测试方法能够进一步提高测试的标准,模拟现场可能出现的部分状况,因而具有积极的意义。

3　自动测试方法

为了测试的高效和方便,对上述测试本文采用自动化的测试方法自动化测试系统整体的构成如图 5 所示。自动化测试系统采用主从式体系结构,由主机、测试装置和被测合并单元组成一个闭环的测试系统,采用 Python 语言编写测试用例。主机实现测试用例生成,测试脚本编写、执行,测试过程管理、监

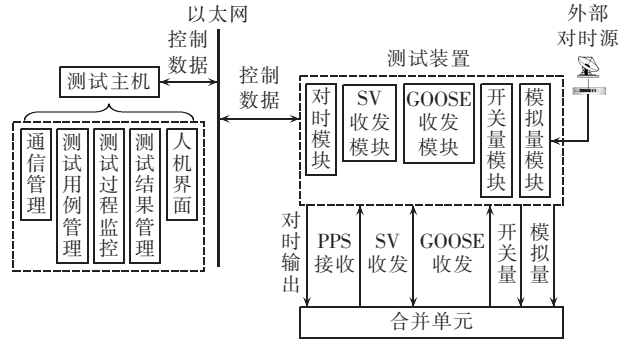

图 5　自动测试系统架构

Fig.5　Architecture of automatic test system

控,以及测试结果分析、产生报告等;测试装置作为脚本执行设备,负责与被测合并单元进行交互,即执行脚本命令,模拟测试环境,接收被测合并单元输出反馈并上送至主机。

此外,分析本文的测试过程涉及对时时钟正常和异常2种情况,时钟源也有内部和自产2种形式,比较测试流程上的差异,对公共部分采用脚本公用类模块,用脚本实例化调用的方式,组合成不同的测试流程,最后形成测试用例,自动执行、自动比较结果,并给出测试结果分析报告,这种方式更利于提升测试的效率。功能上,基于计算分析增加了对对时源信号的录波监视,对合并单元的报文也增加了录波的功能,当出现问题时,可全面复现故障场景,更加有利于分析问题。

4 结语

本文研究了合并单元测试的问题,设计了各种时钟异常情况下对合并单元进行性能测试的方法,进一步校验了合并单元的性能。本文采用自动测试的方法,有利于研发过程中的集成测试、回归测试等,实际使用结果表明自动化测试方式相对于人工测试效率可提高200%以上,效果显著;自动化测试可反复执行,可对相关的合并单元功能进行充分验证;其异常情况下的测试填补了合并单元测试的空白,具有显著的意义。

参考文献:

[1] 苏永春,刘琪. 时间同步技术在智能变电站的应用[J]. 江西电力,2010,34(4):6-8.
SU Yongchun,LIU Qi. Time synchronization and its application in smart substation[J]. Jiangxi Electric Power,2010,34(4):6-8.

[2] 高志远,刘长虹,刘瑞平. 厂站自动化系统中应用网络时间同步技术探讨[J]. 电力自动化设备,2006,26(7):84-89.
GAO Zhiyuan,LIU Changhong,LIU Ruiping. Discussion on application of network-based timing technology in power plant and substation automation systems[J]. Electric Power Automation Equipment,2006,26(7):84-89.

[3] 周斌,黄国方,王耀鑫,等. 在变电站智能设备中实现B码对时[J]. 电力自动化设备,2005,25(9):86-88.
ZHOU Bin,HUANG Guofang,WANG Yaoxin,et al. Time synchronization with IRIG-B code in substation IED[J]. Electric Power Automation Equipment,2005,25(9):86-88.

[4] 吕航,李力. 变电站同步信号异常对保护装置影响及对策[J]. 电力系统自动化,2012,36(19):8-14.
LÜ Hang,LI Li. Countermeasures and impacts of substation synchronous signal abnormalities on protections[J]. Automation of Electric Power Systems,2016,36(19):8-14.

[5] 熊汉,张道农,邓虎,等. 智能变电站时间同步系统及其故障的影响分析及改进[C]//中国电机工程学会年会. 2013.
XIONG Han,ZHANG Daonong,DENG Hu,et al. Analysis and improving of time synchronization system and the fault in intelligent substation[C]//Chinese Society for Electrical Engineering,2013

[6] 国家能源局. 合并单元测试规范:DL/T 281—2012[S]. 北京:中国电力出版社,2012.

[7] 王立辉,许扬,陆于平,等. 数字化变电站过程层采样值时间同步性分析及应用[J]. 电力自动化设备,2010,30(8):37-40.
WANG Lihui,XU Yang,LU Yuping,et al. Synchronized sampling of process layer in digital substation[J]. Electric Power Automation Equipment,2010,30(8):37-40.

[8] 阳靖,周有庆,刘琨. 电子式互感器相位补偿方法研究[J]. 电力自动化设备,2007,27(3):45-48.
YANG Jing,ZHOU Youqing,LIU Kun. Research on phase compensation of electronic transformer[J]. Electric Power Automation Equipment,2007,27(3):45-48.

作者简介:

李兴建(1977—),男,山东潍坊人,高级工程师,硕士,通信作者,主要研究方向为继电保护测试(**E-mail**:lixj@nrec.com)。

Development and application of clock synchronization tester for MU

LI Xingjian,DU Jun,YU Zhe,ZHAO Yucan,HUANG Hui,XU Zongguang

(Nanjing NR Electric Co.,Ltd.,Nanjing 211102,China)

Abstract: Aiming at the lack of abnormal clock synchronization test for MU(Merging Unit),a clock synchronization tester is designed,which not only can generate abnormal signal of IRIG-B,but also monitor the IRIG-B signal from external GPS device. A kind of automatic test system is constructed with the designed tester to investigate the performance of MU functions in the clock synchronization abnormal by automatic closed-loop test method,supplement the testing measurement of MU and help to improve the reliability of MU.

Key words: clock synchronization; automatic test; merging unit; IRIG-B