适用于实时仿真的MMC子模块电容电压优化均衡方法

樊 强,王 乐,冯谟可,俞永杰,赵成勇,许建中 (华北电力大学新能源电力系统国家重点实验室,北京 102206)

摘要:针对并行全比较算法存在的高空间复杂度问题,提出一种适用于模块化多电平换流器(MMC)实时仿 真的电容电压均衡优化方法。在子模块电容电压的排序方面,采用分组排序的均压策略,组内子模块采用并 行全比较算法以减少排序时间,组间子模块根据所定义的能量平衡因子计算结果来平衡其电容电压值。此 外,提出一种子模块电容电压值重构方法处理含相同电容电压值的子模块排序问题。在触发脉冲产生方面, 提出一种串、并行触发结合的混合触发模式,将触发脉冲产生环节消耗的时间与 MMC 各桥臂子模块总数解 耦。在 PSCAD / EMTDC 仿真程序和低功率 MMC 物理样机平台的阀级控制器中验证了所提 MMC 子模块电 容电压优化均衡方法的逻辑有效性和工程实用性,证明了所提方法在保证低时间复杂度的同时,其空间复杂 度亦有所降低。

关键词:MMC;换流器;时空复杂度;并行全比较算法;能量平衡因子;物理样机

中图分类号:TM 46

文献标志码:A

DOI:10.16081/j.epae.202010011

0 引言

模块化多电平换流器(MMC)由于其具有开关 频率低、谐波含量少、模块化程度高等优点,在柔性 直流输电领域中被广泛应用^[1-3]。MMC实时仿真技 术作为柔性直流输电工程投运前各种物理控制器和 控制保护装置测试的重要手段^[4-5],已被国内外学者 高度关注。

多节点导纳矩阵迭代计算问题和子模块(SM) 电容电压均衡问题是高电平MMC仿真实时化面临 的两大主要挑战。多节点导纳矩阵迭代计算问题已 通过MMC桥臂戴维南等效得到有效解决^[6-7]。而子 模块电容电压均衡问题作为MMC稳定运行的前提, 一直是国内外的研究热点。冒泡排序、质因子分解 排序、希尔排序以及在冒泡排序中引入保持因子串 行排序算法[8-11]存在高时间复杂度问题,其应用于 MMC实时仿真时,并不能充分发挥可编程逻辑门阵 列FPGA(Field Programmable Gate Array)的并行计 算能力。文献[12-13]提出了一种最低时间复杂度 的并行全比较算法,仅需4个时钟步长即可完成子 模块电容电压的排序,但此算法以高空间复杂度为 代价来换取排序的低时间复杂度性能。文献[14]通 过奇偶排序算法实现子模块电容电压的排序,虽然 已经利用 FPGA 的并行计算能力,但是其仍具有较 高的时间复杂度。

为充分利用 FPGA 的并行计算能力,国内外学 者对分组排序算法进行深入研究。文献[15]提出以

收稿日期:2020-04-08;修回日期:2020-08-14

基金项目:国家自然科学基金资助项目(51607065)

Project supported by the National Natural Science Foundation of China(51607065)

子模块电容电压值为基准进行并行分组的方法,但 当分组数过少时,子模块电容电压分叉将非常明显, 限制了该方法的应用。文献[16]提出了一种以子模 块序号为基准进行分组的方法,可明显减少排序过 程中的计算量,但进行组间能量平衡时需要计算组 内所有子模块电容电压值之和,计算量显著增大。 文献[17]提出无需桥臂电流的子模块电容电压均衡 方法,但在子模块电容电压排序方面无进一步改进。 文献[18]提出一种能大幅降低排序时间复杂度的电 容电压均衡方法,但其排序方法与文献[19]所提的 排序思想相似,且该方法在FPGA上的可行性有待 进一步验证。上述电容电压均衡优化算法均没有在 触发脉冲产生环节方面进行优化。

基于此,本文提出了一种适用于实时仿真的 MMC电容电压优化均衡方法。采用分组排序的并 行均压策略将整个排序过程分为组内排序和组间排 序:组内排序采用并行全比较算法[12]以实现子模块 电容电压的均衡控制,并针对含相同电压值子模块 的排序问题提出新的解决思路;组间排序采用新型 能量平衡因子计算方法,根据其计算结果对组间子 模块的电容电压值进行排序。提出一种串、并行触 发结合的混合触发模式,大幅减少了触发脉冲产生 的时间。基于PSCAD / EMTDC 仿真平台,验证了所 提方法的逻辑有效性;并将优化后的子模块电容电 压均衡方法应用于低功率MMC物理样机平台的阀 级控制器中,证明了所提方法的工程实用性。仿真 及实验结果表明,本文提出的MMC子模块电容电压 优化均衡方法在保证排序算法低时间复杂度的同 时,可有效降低其空间复杂度。

1 MMC 拓扑结构及其子模块电容电压优化 均衡方法

1.1 MMC 拓扑结构

MMC 拓扑结构见图 1。MMC 由 6个桥臂组成, 每个桥臂包含1个电抗器 L₀和 N个相同的级联子模 块,目前工程上常用的拓扑结构为半桥子模块,每个 半桥子模块由 2个 IGBT(T₁、T₂)及相应的反并联二 极管(D₁,D₂)和1个电容 C构成。通过控制桥臂子模 块的投切使 MMC 与交直流系统进行能量交换,此过 程中,桥臂子模块电容电压的均衡控制是实现 MMC 正常运行的必要前提。



图 1 MMC 拓扑结构 Fig.1 Topology structure of MMC

1.2 已有最低时间复杂度并行排序方法

文献[12]中提出一种最低时间复杂度的电容电 压均衡方法(又称并行全比较算法^[13]),可在 FPGA 芯片中4个时钟完成子模块电容电压的排序过程。 其排序基本原理见附录图 A1。以4个子模块为例, 具体排序过程如下:①将待排序列 U_{co}中的每个元素 与其余元素进行比较,大于时比较结果为1,小于时 为0;②将每个元素与其余元素的比较结果相加,根 据相加后的结果进行排序,得到此元素在有序序列 中的位置,进而得到有序序列 U_{co}。

并行全比较算法中每次比较过程均相互独立,因此可最大限度地利用 FPGA 芯片的并行计算能力。但上述算法存在如下2个问题:①引入大量比较器使该算法具有较高的空间复杂度;②无法处理待排序列U_{co}中子模块电压值相等的情况。文献[13]提出引入2种类型比较器的方法以解决问题②,但带来不利于 FPGA 芯片程序代码的编写、扩展和移植等新问题。本文提出的 MMC 子模块电容电压优化均衡方法,可有效解决上述2个问题。

2 MMC子模块电容电压优化均衡方法

MMC子模块电容电压优化均衡方法分别在排

序算法和触发脉冲产生这2个方面进行优化。分别 对组内排序和组间排序2个过程进行排序算法的设 计,可有效解决并行全比较算法中大量比较器的使 用带来的高空间复杂度问题;通过桥臂子模块电容 电压值的重构法,可有效解决待排序列U_{co}中子模块 电容电压值相等的问题。提出串、并行触发结合的 混合触发模式,将触发脉冲产生环节所消耗的时间 与MMC桥臂子模块总数解耦,可大幅降低触发脉冲 产生的时间。

2.1 MMC子模块电容电压排序算法

2.1.1 算法流程

设各桥臂中子模块的分组数为n,每组内子模 块个数为m,则N=nm。以n=3为例,MMC子模块 电容电压值的排序算法流程见附录图A2。排序算 法的步骤如下:①将各桥臂中子模块组成的待排序 列U_{co}按照子模块编号分为3组,即U_{co1}、U_{co2}、U_{co3};② 采用并行全比较算法进行组内排序,得到每组的有 序序列U_{co1}、U_{co2}、U_{co3}和对应的能量平衡因子f₁、f₂、 f₃;③采用并行全比较方法对各组的平衡因子进行 排序,并根据排序结果调整U_{co1}、U_{co2}、U_{co3}的顺序,进 而得到各桥臂中N个子模块的相对有序序列U_{co}。

上述过程中能量平衡因子f的作用为抑制组间 子模块的电容电压波动。文献[16]中将组内所有电 压值之和作为各组的能量平衡因子,而本文提出 了一种新型能量平衡因子计算方法,将各组子模块 电容电压的最大值U_{Cmax}、最小值U_{Cmin}和中间值U_{Cmid} 之和作为各组的能量平衡因子,即f=U_{Cmax}+U_{Cmin}+ U_{Cmid}。所提方法在有效平衡组间能量的同时,大幅 降低了排序算法的计算量。

2.1.2 算法性能

定义时间复杂度和空间复杂度这2个评价指标,验证所提MMC子模块电容电压排序算法的有效性,其中时间复杂度为执行排序算法所消耗的时间, 空间复杂度为执行排序算法所消耗的内存空间。具体的实现过程如下。

(1)时间复杂度。

在 FPGA 芯片中编写 Verilog 程序实现子模块电容电压的排序过程,主要分为子模块电容电压分组、 组内排序和组间排序这3个步骤。其中,子模块电容电压分组可根据子模块序号进行分组,无需占用 FPGA 芯片的时钟资源;组内排序和组间排序通过4 个时钟实现^[13];平衡因子的计算过程需要花费1个 时钟;根据各组平衡因子的计算结果对子模块电容 电压进行排序需要1个时钟。综上子模块电容电压 的排序过程共需10个时钟。

(2)空间复杂度。

适用于FPGA的并行全比较算法主要消耗该芯

片的逻辑计算资源和存储器资源。并行全比较算法 引入大量的比较器,导致FPGA芯片的逻辑计算资 源占用率显著增加。本文所提出的排序算法可降低 比较器的使用数量,优化FPGA芯片的逻辑计算 资源。

组内排序和组间排序总共需要的比较器个数*N*_{com}为:

$$N_{\rm com} = n\left(n-1\right) + \frac{N}{n} \left(\frac{N}{n} - 1\right) n \tag{1}$$

由式(1)可知, N_{com} 与分组数n密切相关,对n进行求导可得:

$$dN_{\rm com}/dn = (2n^3 - n^2 - N^2)/n^2$$
 (2)

令
$$dN_{\text{com}}/dn=0$$
, 可得极值点 n_0 :

$$\begin{cases}
n_0 = \frac{1}{6} + \frac{1}{36A} + A \\
A = \left\{ \left[\left(\frac{N^2}{4} + \frac{1}{216} \right)^2 - \frac{1}{46\,656} \right]^{1/2} + \frac{N^2}{4} + \frac{1}{216} \right\}^{1/3} (3)
\end{cases}$$

当*n*的取值范围为[0,*N*]时,极值点为最小值 点。设已知桥臂子模块个数为*N*,则所需的最少比 较器个数*N*_{commin}为:

$$N_{\text{commin}} = n_0 (n_0 - 1) + \frac{N}{n_0} \left(\frac{N}{n_0} - 1 \right) n_0 \tag{4}$$

附录图 A3 为 N_{con}随 n 和 N 变化的三维曲面图, 图中红色曲线所示区域为 N_{commin}。由图 A3 可知,当 n=n₀时,所需要的比较器个数最少。由于 n 和 m 均 为整数,上述过程所得的 n₀仍需进一步处理。并行 全比较算法是本文所提排序算法的特例(n值为1或 N),此时所需的比较器个数最多。

2.1.3 MMC子模块电容电压值的重构方法

实际工程中子模块电容电压通过A/D转换器 输入MMC的阀级控制器中,大概率会出现子模块电 容电压值相等的情况。并行全比较算法通过大量的 比较器,使整个待排子模块电容电压有序排列。当 待排子模块电容电压序列中存在相同的电压值时, 整个排序过程失效,影响桥臂中各子模块的通断状 态,进而影响整个程序运行的稳定性。文献[13]在 排序过程中引入2种类型的比较器(①">"("<")比 较器和②"≥"("<")比较器)可有效解决上述问题, 但降低了Verilog程序的可靠性和扩展性。基于此, 本文提出MMC子模块电容电压值的重构方法,有效 解决了子模块电容电压值相等的问题。具体的实现 过程如图2所示。

通过调整子模块电容电压序列 U_{c_old} 中各元素的位置, 可得重构后的桥臂子模块电容电压序列 U_{c_new}。该过程通过 Verilog 程序的位拼接运算符实现。以具体的数列为例进行说明, 假设对 10 个子模



图2 MMC子模块电容电压值的重构方法

Fig.2 Reconstruction method of capacitor voltage value of sub-module in MMC

块电容电压值进行排序,其电压值分别为1.8、1.7、1.5、1.5、1.5、1.5、1.7、1.6、1.3、1.4、1.2 p.u.。根据图2所示方法,重构后的子模块电容电压值分别为1.801、1.702、1.503、1.504、1.505、1.706、1.607、1.308、1.409、1.210 p.u.。通过并行全比较方法对重构后的子模块电容电压序列进行排序。

在子模块序号与电容电压值——对应的前提 下,MMC子模块电容电压排序算法根据其电容电压 值的排序结果,确定各子模块的通断情况。所提重 构方法对子模块电容电压的相同值进行区分设定, 在保证排序正确性的同时,无需引入2种比较器,不 会丢失任何有效信息且无需增加额外的FPGA芯片 逻辑运算过程。

2.2 混合脉冲触发模式

目前大部分触发脉冲产生环节需要根据 MMC 桥臂电流 I_{am}和桥臂导通子模块个数 n_{on} 依次决定各 子模块的触发情况,其计算步长随桥臂子模块总数 的增加而增加,导致其所消耗的时间与 n_{on}(最大值 取 N)成正相关;且未能充分利用 FPGA 的并行计算 能力。本文提出一种串、并行触发结合的混合脉冲 触发模式:设分组排序后有序序列 U_{Cni}(i=1,2,3)对 应的子模块编号序列分别为 N_{Cni},根据"充小放大"的 基本原则以串行触发模式确定组内子模块的触发脉 冲;采用并行触发模式确定组间子模块的触发脉冲, 其中, N_{Cni}=0表示将该序列中子模块全部旁路, N_{Cni}=1 表示将该序列中子模块全部投入。

以子模块充电状态为例,采用混合脉冲触发模 式后 MMC 的运行情况如表1所示。由表1可知,触 发脉冲产生环节需要的时间由串行触发模式消耗的 时间决定,串行触发模式下所需时间与m相关,则脉 冲触发产生过程与桥臂子模块总数解耦,该方法适 用于 FPGA 芯片中定步长 MMC 实时仿真计算过程 的程序设计。

表1 充电状态下采用混合脉冲触发模式 MMC 运行情况 Table 1 MMC operation condition after adopting mixed pulse trigger mode under charging mode

	1	66	U	e
$n_{ m on}$		串行触发模式		并行触发模式
[0,m)	序列 N _c	inl 中子模块导通个数	为 n _{on}	$N_{Cn2} = 0$, $N_{Cn3} = 0$
[m, 2m)	序列 N _{Cn2}	中子模块导通个数为	$n_{on} - m$	$N_{Cn1} = 1$, $N_{Cn3} = 0$
[2m,N]	序列 N _{Cn3}	中子模块导通个数为	$n_{on} - 2m$	$N_{Cn1} = 1$, $N_{Cn2} = 1$

3 仿真验证

基于 PSCAD / EMTDC 仿真平台进行 MMC 子模 块电容电压优化均衡方法的仿真验证,所建立的仿 真模型如图 3 所示。MMC 的具体参数设置见附录表 A1。设桥臂子模块总数 N=100,代入式(3)可得 n_0 = 17.268 1,取 n=10,则m = N/n = 10。



图3 仿真模型 Fig.3 Simulation model

MMC 控制策略为定有功功率和定无功功率控制,有功、无功功率额定值分别为500 MW、0。在第1s时投入环流抑制器,稳态工况下的a相上桥臂子模块电容电压*U_{ca}的波形如图4所示。由图4可知,当采用本文所提MMC子模块电容电压排序方法时,投入环流抑制器前、后,子模块电容电压的均衡效果良好。验证了本文所提算法的有效性。*



图4 稳态工况下子模块电容电压波形

Fig.4 Waveform of sub-module capacitor voltage under steady-state condition

为验证所提子模块电容电压排序算法的动态响应特性,设置有功功率阶跃工况,在第2s时额定有功功率由 300 MW 跃变至 500 MW,额定有功功率 P 和 a 相上桥臂子模块电容电压 U_{ca}波形如图 5 所示。由图 5 可知,当有功功率发生跃变时,桥臂子模块电容电压的均衡效果依然良好,验证了本文所提算法的动态响应特性。



图 5 有功功率阶跃工况下子模块电容电压波形

Fig.5 Waveform of sub-module capacitor voltage under active power step state

为了进一步验证本文所提算法的稳定性和有效

性,设仿真时间为50 μs,将冒泡排序、并行全比较算 法和本文算法进行比较,就排序算法的不同性能进 行比较,对比结果见表2。由表2可知,不同排序算 法对子模块电容电压波动范围和子模块开关频率的 影响不大,相对于冒泡排序,并行全比较算法和本文 所提的优化算法的计算步长与桥臂子模块总数无 关,在比较器使用个数方面与桥臂子模块总数无关,在比较器使用个数方面与桥臂子模块总数有关。 这非常适用于低仿真步长下的 MMC 实时仿真。在 实际工程中,可通过在多个仿真步长时间段内进行 一次排序的方法进一步降低开关频率。

表2 不同排序算法的性能对比

Table 2	Performance	comparison	of	different
	sorting	algorithms		

		0 0		
算法类型	计算步长	$N_{\rm com}$	子模块电容电压 波动范围 / kV	子模块开关 频率 / Hz
冒泡排序	N(N-1)/2	1	[2.917, 3.502]	1 2 2 0
并行全比较	4	N(N-1)	[2.917, 3.480]	1110
本文算法	10	式(1)	[2.917, 3.490]	1 1 4 0

4 实验验证

为了进一步验证本文所提新型电容电压均衡优 化算法的工程实用性,在低功率MMC物理样机平台 进行实验。通过Verilog HDL语言编写的MMC子模 块电容电压优化均衡方法的算法程序,并且通过 Quartus II软件下载到单端换流器的阀级控制器中 进行实物验证。

4.1 MMC物理样机平台介绍

单端 MMC 物理样机平台的原理图只需将图 3 所示的仿真模型中直流电压源 U_{dc}变成直流电阻 R_{dc}。具体的平台参数见附录表 A2。

MMC物理样机平台的实物图见附录图 A4。物 理样机平台的数据传输分为上传和下发,数据下发 通道为上位机通过数据信号处理(DSP)向 FPGA芯 片发送指令。数据上传指令方向与数据下发相反。 其中 FPGA芯片的型号为 Cyclone V-5CEFA9F23I7。 主要完成 MMC 主控制器和阀级控制器的计算。排 序过程所需的子模块电容电压值为子模块电容电压 实际值经过 16 位 A / D 转换器转化为 16 位二进制 数,再将转化后的数据输入 FPGA 芯片,作为 MMC 阀级控制器的输入量。

4.2 MMC子模块电容电压优化均衡方法验证

MMC物理样机平台各桥臂中共有12个全桥子 模块(其中有2个子模块作为热备用子模块),根据 式(3)可得n₀=4.334,为使每组组内子模块个数大 于3个,取组数n=3,组内子模块个数m=4。

本文用Verilog HDL语言编写了并行全比较算法程序和本文提出的子模块电容电压优化算法 程序,并分别下载到物理样机平台的阀级控制器的 FPGA芯片中。通过泰克混合信号示波器录波(型号 为MSO56,带宽为500 MHz,1s可采6.25亿个数据) 对2种不同算法下MMC的直流电压U_{de}、直流电流I_{de} 和 a 相上桥臂子模块电容电压U_{Ca}进行录波。经过 对比发现2种不同算法下U_{de}、I_{de}和U_{Ca}的波形几乎一 致,如附录图A5所示。由图可知,MMC物理样机平 台可平稳运行。U_{de}基本稳定于117.5 V,I_{de}为1.05 A, U_{Ca}波动范围为[12.2, 12.75] V。由于实际过程中, 电力电子器件的通态压降无法忽略,U_{de}略低于10 个子模块电容电压值之和。

令下发录波指令时刻为00:00。子模块电容电 压优化均衡算法下的三相上桥臂子模块电容电压值 通过 A / D转换器将采样结果上传到上位机界面, 如附录图 A6 所示。由图可知,三相上桥臂子模块电 容电压均压效果良好,波动范围均为[12.2,12.75] V。

本文所用的FPGA芯片共有113560个自适应逻 辑块(ALM)、454240个寄存器。采用并行全比较算 法和优化排序算法后,芯片的资源使用情况对比结 果如下:并行全比较算法和本文算法的ALM使用个 数分别为19371和18825,采用本文算法后减少了 546个ALM,占总数的0.48%;并行全比较算法和本 文算法的寄存器使用个数分别为29439和29524, 采用本文算法后增加了85个寄存器,占总数的 0.018%。相对于并行全比较算法,所提算法可明显 减少FPGA芯片中ALM的使用个数,而寄存器的使 用个数有少许增加。综上所述,本文提出的MMC子 模块电容电压优化均衡算法可大幅降低ALM的使 用个数,避免了FPGA芯片中ALM的过度使用导致 的其他资源利用不充分的情况。

5 结论

针对并行全比较算法存在的高空间复杂度问题 和待排序列中子模块电压值相等问题,提出了一种 适用于MMC实时仿真的电容电压优化均衡算法,并 提出了一种混合脉冲触发模式。通过仿真和物理实 验进行验证,得到如下结论:

(1)通过对 MMC 桥臂子模块电容电压值序列进行组内排序和组间排序,显著降低了比较器的使用个数,避免了 FPGA 芯片资源中 ALM 的过度使用,该方法具有一定的通用性,可对任意串、并行排序算法进行优化;

(2)根据理论分析结果得出最优分组数,并指出 并行排序算法为优化后的排序算法的特例,此时所 需要比较器个数最多;

(3)通过桥臂子模块电容电压值的重构方法,在 不丢失任何有效信息也不增加FPGA芯片资源使用 的前提下,有效解决了含相同子模块电容电压值的 排序问题;

(4)提出了一种混合脉冲触发模式,将脉冲触发

产生过程与桥臂子模块总数解耦,适用于FPGA芯片的定步长MMC实时仿真。

MMC子模块电容电压均衡方法在保证低时间 复杂度的同时,大幅降低排序过程中比较器的使用 个数,避免了FPGA芯片中ALM的过度使用,具有良 好的工程应用前景。接下来将对分组后各组子模块 个数不同的排序方法进行分析,并进一步研究ALM 和寄存器使用数量的动态关系。

附录见本刊网络版(http://www.epae.cn)。

参考文献:

 [1] 王少伟,刘天琪,李保宏. 模块化多电平换流器的运行边界分析及提高运行稳定性的控制方法[J]. 电力自动化设备,2019, 39(9):151-157.
 WANG Shaowei, LIU Tianqi, LI Baohong. Analysis of opera-

tion boundary of modular multilevel converter and control method for improving operation stability[J]. Electric Power Automation Equipment, 2019, 39(9):151-157.

- [2] 彭茂兰,唐金昆. 伪双极 MMC-HVDC系统联接变阀侧中性点 电阻参数设计[J]. 电力自动化设备,2017,37(4):218-223.
 PENG Maolan,TANG Jinkun. Design of valve-side neutral-point resistor for connection transformer of MMC-HVDC transmission system[J]. Electric Power Automation Equipment, 2017, 37(4):218-223.
- [3]杨立敏,朱艺颖,孙栩,等.基于损耗分析的全桥型MMC参数 优化设计[J].电力自动化设备,2020,40(3):128-133.
 YANG Limin,ZHU Yiying,SUN Xu, et al. Optimization design of full bridge MMC parameters based on loss analysis[J]. Electric Power Automation Equipment,2020,40(3):128-133.
- [4] LI Guoqing, ZHANG Di, XIN Yechun, et al. Design of MMC hardware-in-the-loop platform and controller test scheme[J]. CPSS Transactions on Power Electronics and Applications, 2019,4(2):143-151.
- [5] SHEN Z X, DINAVAHI V. Real-time device-level transient electro thermal model for modular multilevel converter on FPGA[J]. IEEE Transactions on Power Electronics, 2016, 31 (9):6155-6168.
- [6] GNANARATHNA U N, GOLE A M, JAYASINGHE R P. Efficient modeling of Modular Multilevel HVDC Converters (MMC) on electromagnetic transient simulation programs[J]. IEEE Transactions on Power Delivery, 2011, 26(1): 316-324.
- [7] XU J Z, ZHAO C Y, LIU W J, et al. Accelerated model of modular multilevel converters in PSCAD / EMTDC[J]. IEEE Transactions on Power Delivery, 2013, 28(1):129-136.
- [8] 郝亮亮,张静,黄银华,等.模块化多电平换流器的分频均压控 制策略[J].电力自动化设备,2018,38(6):195-200,223.
 HAO Liangliang, ZHANG Jing, HUANG Yinhua, et al. Frequency dividing control of capacitor voltage balance for modular multilevel converter[J]. Electric Power Automation Equipment,2018,38(6):195-200,223.
- [9] 彭茂兰,赵成勇,刘兴华,等.采用质因子分解法的模块化多电 平换流器电容电压平衡优化算法[J].中国电机工程学报, 2014,34(33):5846-5853.
 PENG Maolan,ZHAO Chengyong,LIU Xinghua, et al. An optimized capacitor voltage balancing control algorithm for modular multilevel converter employing prime factorization method [J]. Proceedings of the CSEE,2014,34(33):5846-5853.
- [10] 何智鹏,许建中,苑宾,等.采用质因子分解法与希尔排序算法的 MMC 电容均压策略[J].中国电机工程学报,2015,35(12):

2980-2988.

180

HE Zhipeng, XU Jianzhong, YUAN Bin, et al. A capacitor voltage balancing strategy adopting prime factorization method and shell sorting algorithm for modular multilevel converter [J]. Proceedings of the CSEE, 2015, 35(12):2980-2988.

- [11] 管敏渊,徐政. MMC型VSC-HVDC系统电容电压的优化平衡 控制[J]. 中国电机工程学报,2011,31(12):9-14. GUAN Minyuan,XU Zheng. Optimized capacitor voltage balancing control for modular multilevel converter based VSC-HVDC system[J]. Proceedings of the CSEE,2011,31(12):9-14.
- [12] DEKKA A, WU B, ZARGARI N R, et al. Dynamic voltage balancing algorithm for modular multilevel converter: aunique solution[J]. IEEE Transactions on Power Electronics, 2016, 31 (2):952-963.
- [13] 师廷伟,金长江. 基于 FPGA 的并行全比较排序算法[J]. 数字 技术与应用,2013(10):126-127.
 SHI Tingwei, JIN Changjiang. Parallel full comparison sorting algorithm based on FPGA[J]. Digital Technology and Application,2013(10):126-127.
- [14] ASHOURLOO M, MIRZAHOSSEINI R, IRAVANI R. Enhanced model and real-time simulation architecture for modular multilevel converter[J]. IEEE Transactions on Power Delivery, 2018, 33(1):466-476.
- [15] 王宇,刘崇茹,李庚银,等.适用于FPGA的模块化多电平换流 器电容电压均衡控制方法[J].电力系统自动化,2019,43(8): 167-176.

WANG Yu, LIU Chongru, LI Gengyin, et al. Capacitor voltage balancing control method for modular multilevel converter applicable for FPGA[J]. Automation of Electric Power Systems, 2019,43(8):167-176.

 [16] 陆翌,王朝亮,彭茂兰,等.一种模块化多电平换流器的子模块 优化均压方法[J].电力系统自动化,2014,38(3):52-58.
 LU Yi, WANG Chaoliang, PENG Maolan, et al. An optimized method for balancing sub-module voltages in modular multi-level converters [J]. Automation of Electric Power Systems, 2014, 38(3): 52-58.

- [17] HU P,TEODORESCU R,WANG S, et al. A currentless-sorting and selection-based capacitor-voltage-balancing method for modular multilevel converters [J]. IEEE Transactions on Power Electronics, 2019, 34(2):1022-1025.
- [18] WANG Q,LIU K,WANG K,et al. Fast capacitor voltage balancing strategy based on system history operation information for MMC[J]. IET Generation Transmission & Distribution,2019, 13(7):1104-1109.
- [19] 许建中,赵成勇,GOLE M A. 模块化多电平换流器戴维南等 效整体建模方法[J]. 中国电机工程学报,2015,35(8):1919-1929.

XU Jianzhong,ZHAO Chengyong,GOLE M A. Research on the Treveon's equivalent based integral modelling method of the modular multilevel converter[J]. Proceedings of the CSEE, 2015,35(8):1919-1929.

作者简介:



樊 强(1992—),男,山西怀仁人,博 士研究生,主要研究方向为高压直流输电 (E-mail:13910548020@163.com);

王 乐(1995—), 男, 河北承德人, 硕 士研究生, 主要研究方向为柔性直流输电 (**E-mail**: wanglencepu@163.com);

赵成勇(1964—),男,教授,博士研究生 导师,博士,主要研究方向为直流输电、电能 质量分析与控制等(E-mail:chengyongzhao@ ncepu.edu.cn)。

(编辑 王欣竹)

Optimized capacitor voltage balancing method for real-time simulation of MMC sub-module

FAN Qiang, WANG Le, FENG Moke, YU Yongjie, ZHAO Chengyong, XU Jianzhong

(State Key Laboratory of Alternate Electrical Power System with Renewable Energy Sources,

North China Electric Power University, Beijing 102206, China)

Abstract: Aiming at the high space complexity of the parallel full comparison algorithm, an optimized capacitor voltage balancing method for real-time simulation of MMC (Modular Multilevel Converter) sub-module is proposed. The balancing strategy of grouping sorting is implemented in the aspect of sorting strategy of sub-module capacitance voltage. Parallel full comparison algorithm is adopted to in-group sub-modules to reduce sorting time. According to the calculated result of the defined energy balance coefficient, the intergroup sub-modules are sorting to balance their capacitance voltage values. In addition, a reconstruction method of sub-module capacitor voltage value is proposed to deal with the sorting problem of sub-modules with the same capacitor voltage. A hybrid trigger mode combined by series and parallel triggering is proposed to decouple the time consumed by the trigger pulse generation and the number of bridge leg sub-modules of MMC in the aspect of trigger generation. The logic validity and engineering practicability of the optimized capacitor voltage balancing method for real-time simulation of MMC sub-module are verified in PSCAD / EMTDC simulation program and valve-level controller of the low power MMC physical prototype platform. It is proved that the proposed method not only guarantees the low time complexity, but also reduces the space complexity.

Key words: MMC; electric converters; time and space complexity; parallel full comparison algorithm; energy balance coefficient; physical prototype

附录



图 A1 并行全比较算法示意图 Fig.A1 Schematic diagram of parallel full comparison algorithm





Fig.A2 Flowchart of sorting algorithm of capacitance voltage



Fig.A3 Three-dimensional surface diagram of $N_{\rm com}$

表 A1 MMC 参数 Table A1 Parameters of MMC

Tuble I	11 I uit	ineters of white	
参数	数值	参数	数值
额定直流电压/kV	320	等效变压器漏抗/H	0.0135
额定有功功率/MW	500	子模块电容/mF	5
额定无功功率/Mvar	0	变压器两侧电压/kV	230/170
电平数	101	交流系统电压/kV	230
桥臂电感/H	0.06		

表 A2 单端 MMC 物理平台参数

Table A2 Physical platform parameters of single terminal

MMC					
参数	数值	参数	数值		
额定直流电压/V	120	桥臂电抗/mH	20		
电平数	11	子模块电容/uF	6600		
变压器两侧电压/V	380/115	直流电阻/Ω	100		
交流系统电压/V	200				



图 A4 MMC 物理平台图 Fig.A4 Physical platform diagram of MMC





图 A6 三相上桥臂子模块电容电压波形 Fig.A6 Waveforms of three-phase capacitance voltage of upper arm bridges of sub-modules